

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 3 年 2 月 2 8 日

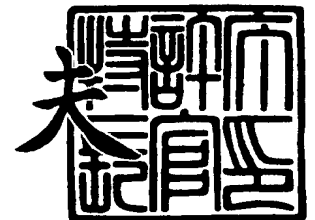
出 願 番 号
Application Number: 特 願 2 0 0 3 - 0 5 4 4 5 0
[ST. 10/C]: [J P 2 0 0 3 - 0 5 4 4 5 0]

出 願 人
Applicant(s): セイコーエプソン株式会社

2 0 0 3 年 1 1 月 2 1 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 EP-0415101

【提出日】 平成15年 2月28日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/10

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 大輪 義仁

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100090479

【弁理士】

【氏名又は名称】 井上 一

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090387

【弁理士】

【氏名又は名称】 布施 行夫

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090398

【弁理士】

【氏名又は名称】 大淵 美千栄

【電話番号】 03-5397-0891

【手数料の表示】

【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【プルーフの要否】 要



【書類名】 明細書

【発明の名称】 不揮発性半導体記憶装置

【特許請求の範囲】

【請求項 1】 行方向及び列方向に複数のメモリセルが配設されて構成されたメモリセルアレイを有し、

前記複数のメモリセルの各々は、ソース領域と、ドレイン領域と、前記ソース領域及び前記ドレイン領域間のチャネル領域と、前記チャネル領域と対向して配置されたワードゲート及びセレクトゲートと、前記ワードゲートと前記チャネル領域との間に形成された不揮発性メモリ素子とを有し、

前記メモリセルアレイは、前記行方向に沿って配置された各行の前記複数のメモリセルの前記ワードゲートにそれぞれ共通接続された複数のワード線と、

前記行方向に沿って配置された各行の前記複数のメモリセルの前記セレクトゲートにそれぞれ共通接続された複数のセレクト線と、

前記列方向に沿って配置された各列の前記複数のメモリセルの前記ドレイン領域または前記ソース領域のいずれかにそれぞれ共通接続された複数のビット線と、

前記ワード線及び前記セレクト線を駆動するワード／セレクト線駆動部と、

前記ビット線を駆動するビット線駆動部と、

を有し、

前記ワード／セレクト線駆動部は、複数の単位ワード／セレクト線駆動部を有し、

前記複数の単位ワード／セレクト線駆動部の各々は、前記各行の前記複数のメモリセルの各々の前記セレクトゲート及び前記ワードゲートを同電位に設定駆動することを特徴とする不揮発性半導体記憶装置。

【請求項 2】 請求項 1 において、

前記複数のメモリセルにそれぞれ接続された前記ワード線及び前記セレクト線は互いに短絡されていることを特徴とする不揮発性記憶装置。

【請求項 3】 請求項 2 において、

前記複数のメモリセルにそれぞれ接続された前記ワード線及び前記セレクト線の配線表面上をまたがるように覆い被せられた配線コンタクトを有することを特徴とする不揮発性記憶装置。

【請求項4】 請求項1において、

前記複数のメモリセルの各々では、前記ワードゲートと前記セレクトゲートとが容量結合されていることを特徴とする不揮発性記憶装置。

【請求項5】 請求項4において、

前記ワード／セレクト線駆動部は、前記複数のメモリセルにそれぞれ接続された前記ワード線及び前記セレクト線のいずれかに駆動電圧を供給することを特徴とする不揮発性記憶装置。

【請求項6】 請求項4または5において、

前記不揮発性メモリ素子は、前記複数のメモリセルの各々の前記ワードゲート及び前記セレクトゲートの間に延在形成されていることを特徴とする不揮発性記憶装置。

【請求項7】 請求項1乃至6のいずれかにおいて、

前記不揮発性メモリ素子は、2つの酸化膜(O)の間に窒化膜(N)を有するONO膜で形成されていることを特徴とする不揮発性記憶装置。

【請求項8】 請求項1乃至7のいずれかにおいて、

前記複数のメモリセルの各々は、前記チャネル領域に、前記ソース領域に隣接する第1の領域及び前記ドレイン領域に隣接する第2の領域を有し、

前記セレクトゲートは前記第1の領域の上に配置され、前記ワードゲートは前記第2の領域上に前記不揮発性メモリを介して配置されていることを特徴とする不揮発性記憶装置。

【請求項9】 請求項1乃至7のいずれかにおいて、

前記複数のメモリセルの各々は、前記チャネル領域に、前記ソース領域に隣接する第1の領域及び前記ドレイン領域に隣接する第2の領域を有し、

前記ワードゲートは前記第1の領域上に前記不揮発性メモリ素子を介して配置され、前記セレクトゲートは前記第2の領域の上に配置されていることを特徴とする不揮発性記憶装置。

【発明の詳細な説明】**【 0 0 0 1 】****【発明の属する技術分野】**

本発明は、ワードゲート及びセレクトゲートにより制御される不揮発性メモリ素子を備えた不揮発性半導体記憶装置に関する。

【 0 0 0 2 】**【背景技術】**

不揮発性半導体記憶装置の一例として、チャネルとゲートとの間のゲート絶縁膜が、酸化シリコン膜、窒化シリコン膜及び酸化シリコン膜の積層体からなり、窒化シリコン膜に電荷がトラップされるMONOS (Metal-Oxide-Nitride-Oxide-Semiconductorまたは-substrate) 型が知られている。

【 0 0 0 3 】

MONOS型不揮発性半導体記憶装置として、1つの選択ゲートと、1つの制御ゲートにより制御される不揮発性メモリ素子 (MONOSメモリ素子) を備えたMONOSフラッシュメモリセルが開示されている。(例えば、特許文献1、特許文献2、特許文献3及び特許文献4参照)

【 0 0 0 4 】**【特許文献1】**

特開平6-181319号公報

【特許文献2】

特開平11-74389号公報

【特許文献3】

米国特許5408115号明細書

【特許文献4】

米国特許5969383号明細書

【 0 0 0 5 】**【発明が解決しようとする課題】**

本発明は、レイアウト面積の小さい不揮発性半導体記憶装置を提供することを目的とする。

【0006】

【課題を解決するための手段】

本発明の不揮発性半導体記憶装置は、
行方向及び列方向に複数のメモリセルが配設されて構成されたメモリセルアレイを有し、

前記複数のメモリセルの各々は、ソース領域と、ドレイン領域と、前記ソース領域及び前記ドレイン領域間のチャンネル領域と、前記チャンネル領域と対向して配置されたワードゲート及びセレクトゲートと、前記ワードゲートと前記チャンネル領域との間に形成された不揮発性メモリ素子とを有し、

前記メモリセルアレイは、前記行方向に沿って配置された各行の前記複数のメモリセルの前記ワードゲートにそれぞれ共通接続された複数のワード線と、

前記行方向に沿って配置された各行の前記複数のメモリセルの前記セレクトゲートにそれぞれ共通接続された複数のセレクト線と、

前記列方向に沿って配置された各列の前記複数のメモリセルの前記ドレイン領域または前記ソース領域のいずれかにそれぞれ共通接続された複数のビット線と

、

前記ワード線及び前記セレクト線を駆動するワード／セレクト線駆動部と、

前記ビット線を駆動するビット線駆動部と、

を有し、

前記ワード／セレクト線駆動部は、複数の単位ワード／セレクト線駆動部を有し、

前記複数の単位ワード／セレクト線駆動部の各々は、前記各行の前記複数のメモリセルの各々の前記セレクトゲート及び前記ワードゲートを同電位に設定駆動することができる。

【0007】

上記の構成により、前記セレクトゲート専用の駆動部及びワードゲート専用の駆動部を別々に設ける必要が無く、レイアウト面積を縮小させることができる。

【0008】

前記複数のメモリセルにそれぞれ接続された前記ワード線及び前記セレクト線

を互いに短絡することができる。この構成により、前記複数のメモリセルの各々の前記セレクトゲート及び前記ワードゲートを同電位に駆動することができる。

【0 0 0 9】

前記複数のメモリセルにそれぞれ接続された前記ワード線及び前記セレクト線の配線表面上をまたがるように覆い被せられた配線コンタクトを有することができる。この構成により、前記ワード線及び前記セレクト線を一つのコンタクトで短絡させて駆動部に接続できるので、コンタクトの面積を節約できる。

【0 0 1 0】

前記複数のメモリセルの各々では、前記ワードゲートと前記セレクトゲートとが容量結合されることができる。

【0 0 1 1】

容量結合されている場合には、前記ワード／セレクト線駆動部は、前記複数のメモリセルにそれぞれ接続された前記ワード線及び前記セレクト線のいずれかに駆動電圧を供給することができる。

【0 0 1 2】

前記不揮発性メモリ素子は、前記複数のメモリセルの各々の前記ワードゲート及び前記セレクトゲートの間に延在形成されることができる。

【0 0 1 3】

前記不揮発性メモリ素子は、2つの酸化膜（O）の間に窒化膜（N）を有するONO膜で形成することができる。

【0 0 1 4】

前記複数のメモリセルの各々は、前記チャネル領域に、前記ソース領域に隣接する第1の領域及び前記ドレイン領域に隣接する第2の領域を有することができ、前記セレクトゲートを前記第1の領域の上に配置することができ、前記ワードゲートを前記第2の領域上に前記不揮発性メモリを介して配置することができる。

【0 0 1 5】

あるいは、前記複数のメモリセルの各々は、前記チャネル領域に、前記ソース領域に隣接する第1の領域及び前記ドレイン領域に隣接する第2の領域を有ことができ、前記ワードゲートを前記第1の領域上に前記不揮発性メモリを介して

配置することができ、前記セレクトゲートを前記第2の領域の上に配置することができる。

【0016】

【発明の実施の形態】

以下、本発明の一実施形態について、図面を参照して説明する。

【0017】

(全体構成とメモリブロック)

図1は、本実施形態の全体構成を表すブロック図である。メモリセルアレイ4000は、行方向X及び列方向Yに沿って配列された複数のメモリセル410（後に図示する）を備える。また、メモリセルアレイ4000は、複数のメモリブロック400を備える。電源回路100からは複数種の電圧が発生される。発生された複数種の電圧は、複数の電圧供給線により各メモリブロック400へ供給される。また、メモリセルアレイ4000は、メモリセルアレイ4000中のビット線60（後に図示する）を駆動するビット線駆動部（図示せず）を備える。

【0018】

図2は、メモリブロック400の一部を示した回路図である。メモリブロック400は、複数のワード線50、複数のビット線60、複数のセレクト線70、複数のソース線80及び複数のメモリセル410を備える。また、メモリブロック400は、ワード／セレクト線駆動部300及びソース線駆動部（図示せず）を備える。図2中で点線で丸く囲まれた部分は、メモリセル410を示す。

【0019】

メモリセル410は、セレクトゲート411、ワードゲート412及びONO膜413を有する。符号417は、ONO膜413を構成する窒化膜を表す（図3も参照）。メモリセル410の構造については、後に詳細を述べる。

【0020】

ワード／セレクト線駆動部300は、複数の単位ワード／セレクト線駆動部310から構成されている。複数のワード線50の各々は、メモリブロック400内の行方向Xに沿って配置された複数のメモリセル410のワードゲート412を共通接続する。複数のセレクト線70の各々は、複数のワード線50の各々に

よって共通接続された複数のメモリセル 4 1 0 のセレクトゲート 4 1 1 それぞれを行方向 X に沿って共通接続する。

【 0 0 2 1 】

図 2 によると、複数のワード線 5 0 の各々および複数のセレクト線 7 0 の各々は複数の単位ワード／セレクト線駆動部 3 1 0 の各々に共通接続されている。つまり、複数のメモリセル 4 1 0 の各々のセレクトゲート 4 1 1 及びワードゲート 4 1 2 は複数の単位ワード／セレクト線駆動部 3 1 0 の各々によって、それぞれ同一の信号で駆動される。これにより、ワード線 5 0 及びセレクト線 7 0 それぞれに個別の単位駆動部を設ける場合に比べて、レイアウト面積を縮小できる。

【 0 0 2 2 】

複数のビット線 6 0 の各々は列方向 Y に、複数のメモリセル 4 1 0 のそれぞれのビット線拡散層 B L D （後に図示する）を共通接続する。また、複数のソース線 8 0 の各々は列方向 Y に、複数のメモリセル 4 1 0 のそれぞれのソース線拡散層 S L D （後に図示する）を共通接続する。

【 0 0 2 3 】

図 3 は、メモリブロック 4 0 0 の一部の断面図である。符号 4 1 4 は基板を表す。ビット線 6 0 は、導電体（例えばメタル）で形成することができる。ソース・ドレイン領域（図 3 中の符号 B L D または S L D で示された拡散層）に挟まれたチャネル領域上にセレクトゲート 4 1 1 及びワードゲート 4 1 2 が絶縁体膜（例えば SiO₂）を介して配置されている。前記絶縁体膜は、窒化酸化膜でも形成することができる。また、ワードゲート 4 1 2 とチャネル領域との間に L 字状（または逆 L 字状）に窒化膜 4 1 7 （例えば SiN）が形成されている。セレクトゲート 4 1 1 及びワードゲート 4 1 2 はポリシリコンで形成することができる。窒化膜 4 1 7 を絶縁体 4 1 6 （例えば SiO₂）の膜で挟むようにして構成されたものが、ONO 膜 4 1 3 である。また、メモリセル 4 1 0 の窒化膜 4 1 7 は図 4 に示すように、セレクトゲート 4 1 1 及びワードゲート 4 1 2 の間に延在形成させなくてもよい。

【 0 0 2 4 】

また、セレクトゲート 4 1 1 及びワードゲート 4 1 2 の表面には、シリサイド

(図示せず)を形成することができる。シリサイド(図示せず)として、例えばCoシリサイドまたはTiシリサイドを使用することができる。これによりセレクトゲート411及びワードゲート412の抵抗値を下げるることができる。符号PSLDはポリプラグ(ポリシリコン製のプラグ)を表し、ポリプラグPSLDは他の導電体で形成することもでき、ソース線拡散層SLDの抵抗値を下げる効果を奏する。各ビット線拡散層BLDは、各ビット線拡散層の列方向Yでの両端側に配置されている2つのメモリセル410に共用される。また、各ソース線拡散層SLDは、各ソース線拡散層の列方向Yでの両端側に配置されている2つのメモリセル410に共用される。図3の断面では、それぞれのビット線拡散層BLDはビット線60に列方向Yに沿って共通接続される。なお、以下の図において図3と同符号のものは、図3中の同符号のものと同様の意味を表す。

【0025】

上記の構造とは別に、ビット線拡散層BLDとソース線拡散層SLDとは互いに入れ替えて構成することもできる。その場合は、ビット線駆動部(図示せず)の出力電圧とソース線駆動部(図示せず)の出力電圧を互いに入れ替えればよい。なお、この構成については、後に本実施形態の変形例として記載する。

【0026】

図5(a)～図5(e)は、本実施形態のメモリブロック400の一部の平面及び断面を示した図である。平面図である図5(a)の符号A-A～D-Dはそれぞれ断面を表し、A-A断面～D-D断面をそれぞれ図5(b)～図5(e)に示した。なお、図5(a)中のワード線50及びセレクト線70は、図5(b)～図5(e)中のワードゲート412及びセレクトゲート411と同一である。

【0027】

各ビット線60は、各ワード線50、各セレクト線70及び各ソース線拡散層SLDとは、形成されている層が異なるので、電氣的に絶縁されている(図5(b)参照)。各ビット線60は、ビット線コンタクトBCNTによって下層の複数のビット線拡散層BLDそれぞれに接続されている(図5(b)参照)。各ビット線拡散層BLDは、複数のビット線60の各々同士を電氣的に絶縁するよう

に、素子分離部 419 によってビット線コンタクト BCNT 毎に絶縁されている（図 5（a）参照）。この素子分離部 419 は、図 5（c）に示すように、例えば STI（Shallow-Trench-Isolation）にて形成することができる。素子分離部 419 でビット線拡散層 BLD を絶縁分離することにより、ビット線拡散層 BLD に接続された各ビット線 60 を互いに絶縁分離させることができる（図 7 参照）。

【0028】

符号 WSCNT は、複数のワード線 50 の各々と複数のワード線 50 の各々に隣り合うセレクト線 70 とを同時に上層（複数の単位ワード／セレクト線駆動部 310 の各々）へ接続するコンタクトを表す。すなわち、コンタクト WSCNT は、複数のメモリセル 410 にそれぞれ接続されたワード線 50 及びセレクト線 70 の配線表面上をまたがるように覆い被せられた配線コンタクトである。

【0029】

コンタクト WSCNT（以下、バッティングコンタクトとも言う）は、図 5（a）に示されるように、メモリブロック 400 の行方向 X の両端側に互い違いに配置することもできる。また、行方向 X の片側にそろえて、コンタクト WSCNT を配置することもできる。図 5（a）では、コンタクト WSCNT（バッティングコンタクト）を用いて各ワード線 50 及び各セレクト線 70 を各単位ワード／セレクト線駆動部 310 へ接続している。各ワード線 50 及び各セレクト線 70 を各単位ワード／セレクト線駆動部 310 へ接続するのに一つのコンタクトを共用するので、レイアウト面積の縮小が可能である。また、各ワード線 50 及び各セレクト線 70 の各々に個別のコンタクトを配置して、各単位ワード／セレクト線駆動部 310 へ接続することも可能である。

【0030】

図 5（d）及び図 5（e）に示すように、コンタクト WSCNT により、セレクト線 70（セレクトゲート 411）及びワード線 50（ワードゲート 412）が上層部へ共通接続されている。

【0031】

図 6 は、図 5（a）の一部を立体的に表した概略斜視図である。図 6 によると

、素子分離部 419（例えば S T I（Shallow-Trench-Isolation））によって、行方向 X にてビット線拡散層 B L D が素子分離されている。これにより、各々のビット線 60 を、行方向 X に沿って配列された複数のメモリセル 410 毎に、電氣的に分離することができる。ワードゲート 412 は行方向 X に沿って素子が連続して形成されているので、これをもってワード線 50 と兼用できるが、ワードゲート 412 に沿って金属配線を裏打ちし、その金属配線をワード線 50 としても良い。

【0032】

図 3 のような構成の場合、各セレクト線 70 はフローティング状態にし、各ワード線 50 にコンタクトを配置し、各单位ワード／セレクト線駆動部 310 へ接続する方法も可能である（以下、セレクトゲートフローティング法と呼ぶ）。メモリセル 410 が図 3 のような構成の場合、ワードゲート 412 へ電圧印加を行うと、容量カップリング効果により、セレクトゲート 411 はワードゲート 412 とほぼ同じ値の電圧にチャージアップされる。つまり、各单位ワード／セレクト線駆動部 310 へ接続するためのコンタクトは、各ワード線 50 に配置すればよく、各セレクト線 70 に配置する必要がなくなる。

【0033】

図 3 よると各メモリセル 410 のワードゲート 412 とセレクトゲート 411 の間に O N O 膜 413 が延在形成されているため、容量カップリング効果が生じる。つまり、セレクトゲートフローティング法は、各メモリセル 410 のワードゲート 412 とセレクトゲート 411 の間に容量カップリング効果を生じさせるような誘電体膜が形成されていれば可能である。図 7 は、一実施形態にセレクトゲートフローティング法を用いたときのメモリブロックの部分図である。

【0034】

（動作説明）

本実施形態では、各メモリセル 410 へのアクセスは、メモリブロック 400 単位で行われる。つまり、メモリセル 410 を選択するためには、まず、メモリブロック 400 を選択し、その後メモリセル 410 を選択する。選択されたメモリセル 410 を選択メモリセルと呼ぶ。選択メモリセルを有するメモリブロック

400 を選択メモリブロック、それ以外のメモリブロック 400 を非選択メモリブロックと呼ぶ。

【0035】

複数のワード線 50 のうち、選択されたワード線 50 を選択ワード線、それ以外のワード線 50 を非選択ワード線と呼ぶ。複数のビット線 60 のうち、選択されたビット線 60 を選択ビット線、それ以外のビット線 60 を非選択ビット線と呼ぶ。複数のセレクト線 70 のうち、選択されたセレクト線 70 を選択セレクト線、それ以外のセレクト線 70 を非選択セレクト線と呼ぶ。複数のソース線 80 のうち、選択されたソース線 80 を選択ソース線、それ以外のソース線 80 を非選択ソース線と呼ぶ。

【0036】

また、非選択メモリブロック中のワード線 50、ビット線 60、セレクト線 70 及びソース線 80 は、すべての動作において、すべて電圧 0 V に設定されている。以下、スタンバイ、イレーズ、プログラム、リードの各動作について図を参照しながら説明する。

【0037】

(スタンバイ)

図 8 は、メモリブロック 400 の一部に、スタンバイ時の電圧印加状態をあわせて表した図である。符号 WL 0～3 はそれぞれ、ワード線 50 を表す。符号 BL 0～3 はそれぞれビット線 60 を表す。符号 SG 0～3 はそれぞれ、セレクト線 70 を表す。符号 SL 0、1 はそれぞれ、ソース線 80 を表す。以下の図において、図 8 と同符号のものは、図 8 の同符号のものが表す意味と同様の意味を表す。

【0038】

各ワード線 WL 0～3 はすべてスタンバイ用ワード／セレクト電圧（0 V）に設定されている。各セレクト線 SG 0～3 は、対応する各ワード線 WL 0～3 のそれぞれに接続されているので、各セレクト線 SG 0～3 に印加される電圧は、すべてスタンバイ用ワード／セレクト電圧（0 V）である。各ビット線 BL 0～3 はすべてスタンバイ用ビット電圧（0 V）に設定されている。また、各ソース

線 S L 0、1 はすべてスタンバイ用ソース電圧 (0 V) に設定されている。

【 0 0 3 9 】

スタンバイ時は、メモリセルアレイ 4 0 0 0 内 (選択メモリブロック内及び非選択メモリブロック内) のすべてのメモリセル 4 1 0 は、上述のような電圧印加状態にある。

【 0 0 4 0 】

(イレーズ)。

図 9 は、メモリブロック 4 0 0 の一部に、イレーズ時の電圧印加状態をあわせて表した図である。

【 0 0 4 1 】

イレーズは、選択メモリブロック内すべてのメモリセル 4 1 0 に対して行われる。つまり、選択メモリブロック内のすべてのメモリセル 4 1 0 が選択メモリセルとなる。選択メモリブロック内のすべてのワード線 5 0 (ワード線 W L 0 ~ 3 を含む) 及びセレクト線 7 0 (セレクト線 S G 0 ~ 3 を含む) はすべて消去用ワード／セレクト電圧 (-3 V) にチャージアップされている。また、メモリブロック内のすべてのソース線 8 0 (ソース線 S L 0、1 を含む) はすべて消去用ソース電圧 (0 V) にチャージアップされている。さらに、メモリブロック内のすべてのビット線 6 0 (ビット線 B L 0 ~ 3 を含む) は消去用ビット電圧 (5 V) に設定される。また、選択メモリブロックの基盤 4 1 4 には消去用基板電圧 (0 V) が印加される。

【 0 0 4 2 】

前述のような電圧印加状態になると、ソース線拡散層 S L D とビット線拡散層 B L D の間のチャネル領域にチャネルが形成される。ところが、選択ブロック内のメモリセル 4 1 0 の各ワードゲート 4 1 2 は消去用ワード／セレクト電圧 (-3 V) にチャージアップされているので、各ワードゲート 4 1 2 とビット線拡散層 B L D の間に電界が生じる。その結果で生じたホットホールにより、O N O 膜 4 1 3 にトラップされていた電荷 (電子) を消去できるのである。

【 0 0 4 3 】

なお、選択メモリブロック内のメモリセル 4 1 0 の各セレクトゲート 4 1 1 に

も同時に消去用ワード／セレクト電圧（ -3 V ）が印加されるので、前記各セレクトゲート 411 とソース線拡散層 SLD の間に電界が生じる。この結果、上述の電圧印加方法において、ビット線 60 に印加する消去用ビット電圧を例えば 0 V に設定し、ソース線 80 に印加する消去用ソース電圧を例えば 5 V に設定することも可能である。

【0044】

本実施形態では、ホットホールによってデータ消去を行ったが、FN（Fowler-Norheim）消去という手法を用いることもできる。図 10 に FN 消去時の電圧印加状態を示した。

【0045】

図 10 によると、選択メモリブロック内のすべてのワード線 50（ワード線 WL0～3 を含む）及びセレクト線 70（セレクト線 SG0～3 を含む）はすべて FN 消去用ワード／セレクト電圧（ -8 V ）にチャージアップされている。また、選択メモリブロック内のすべてのソース線 80（ソース線 SL0、1 を含む）はフローティング状態、または、FN 消去用ソース電圧（ 5 V ）に設定されている。さらに、選択メモリブロック内のすべてのビット線 60（ビット線 BL0～3 を含む）は消去用ビット電圧（ 5 V ）に設定される。また、選択メモリブロックの基盤 414（図 10 中の符号 Pwel1）には FN 消去用基板電圧（ 5 V ）が印加される。FN 消去は、FN トネリングを用いたものであり、ONO 膜 413 に所定の電界（例えば電圧差 15 V ）をかけると、ONO 膜 413 内の電荷（電子）はトンネル効果によって ONO 膜 413 の外部へ放出されるという原理である。

【0046】

イレーズ動作時（ホットホールによる消去及び FN 消去）の非選択メモリブロックについては、スタンバイ時と同様の電圧印加状態にある。

【0047】

（プログラム）

図 11 は、メモリブロック 400 の一部に、プログラム時の電圧印加状態をあわせて表した図である。点線で丸く囲まれたメモリセル 410 が選択メモリセル

である。

【0048】

図11によると、ワード線WL1（選択ワード線）及びセレクト線SG1（選択セレクト線）はプログラム用選択ワード／セレクト電圧（5.5V）にチャージアップされている。ソース線SL0（選択ソース線）はプログラム用選択ソース電圧（0V）にチャージアップされ、ソース線SL1を含む非選択ソース線はすべてプログラム用非選択ソース電圧（Vcc）に設定されている。また、ビット線BL1を含む選択ビット線はすべてプログラム用選択ビット電圧（5V）に設定され、その他のビット線60、つまり選択メモリブロック中の非選択ビット線はすべてプログラム用非選択ビット電圧（0V）に設定されている。ワード線WL0、WL2及びWL3を含む選択メモリブロック内の非選択ワード線及びセレクト線SG0、SG2及びSG3を含む選択メモリブロック内の非選択セレクト線はすべてプログラム用非選択ワード／セレクト電圧（0V）に設定されている。また、選択メモリブロックの基盤414にはプログラム用基板電圧（0V）が印加される。

【0049】

前述のような電圧印加状態になると、選択メモリセルの両側にあるソース線拡散層SLDとビット線拡散層BLDの間のチャネル領域にチャネルが形成される。そして、選択メモリセルのセレクトゲート411はプログラム用選択ワード／セレクト電圧（5.5V）にチャージアップされているので、チャネル領域に飛び出した電子はホットエレクトロンとなる。さらに選択メモリセルのワードゲート412はプログラム用選択ワード／セレクト電圧（5.5V）にチャージアップされているので、ホットエレクトロンはワードゲート412側に引き寄せられる。このとき、引き寄せられたホットエレクトロンは、ONO膜413によりトラップされる。以上が選択メモリセルに対してのデータ書き込み（プログラム）の原理である。

【0050】

（リード）

図12は、メモリブロック400の一部に、リード時の電圧印加状態をあわせ

て表した図である。点線で丸く囲まれたメモリセル410が選択メモリセルである。

【0051】

図12によると、ワード線WL1（選択ワード線）及びセレクト線SG1（選択セレクト線）はリード用選択ワード／セレクト電圧（電源電圧 V_{cc} ）にチャージアップされている。ソース線SL0、1を含むすべてのソース線80はすべてリード用選択ソース電圧（0V）に設定されている。また、ビット線BL1を含む選択ビット線はすべてリード用選択ビット電圧（ V_{sa} 、例えば電圧1V）に設定され、その他のビット線60つまり選択メモリブロック中の非選択ビット線はすべてリード用非選択ビット電圧（0V）に設定されている。ワード線WL0、WL2及びWL3を含む選択メモリブロック内の非選択ワード線及びセレクト線SG0、SG2及びSG3を含む選択メモリブロック内の非選択セレクト線はすべてリード用非選択ワード／セレクト電圧（0V）に設定されている。また、選択メモリブロックの基盤414にはリード用基板電圧（0V）が印加される。

【0052】

前述のような電圧印加状態になると、選択メモリセルの両側にあるソース線拡散層SLDとビット線拡散層BLDの間のチャネル領域にチャネルが形成される。そして、選択メモリセルのワードゲート412はリード用選択ワード／セレクト電圧（ V_{cc} ）にチャージアップされているので、チャネル領域に飛び出した電子はホットエレクトロンとなる。さらに、選択メモリセルのセレクトゲート411はリード用選択ワード／セレクト電圧（ V_{cc} ）にチャージアップされているので、ホットエレクトロンはセレクトゲート411側に引き寄せられる。このようにして、選択メモリセルの両側にあるソース線拡散層SLDとビット線拡散層BLDの間のチャネル領域に電流（ I_{DS} ）が流れる。

【0053】

メモリセル410のワードゲート412、ONO膜413、チャネル領域の3つの領域構造を、MOSトランジスタと見なすことができる。このとき、ONO膜に電荷がトラップされている状態では、電荷がトラップされていない状態より閾

値が高くなる。図14が前述の電荷の有無と、ソース線拡散層SLDとビット線拡散層BLDとの間に流れる電流についての相関関係を表した図である。

【0054】

図14によると、ワードゲート412に電圧Vreadを印加した時において、ONO膜に電荷がトラップされていない場合では電流IDSは20 μ A流れるが、電荷がトラップされている場合では電流IDSはあまり流れない。つまり、ONO膜に電荷がトラップされていると、トランジスタの閾値が高くなるので、ワードゲート412への印加電圧が、電圧Vreadでは、電流IDSがあまり流れないのである。

【0055】

この電流の大小を各ビット線60に配置されているセンスアンプ（図示せず）で読みとることで、選択メモリセルに保持されているデータを読みとることができる。

【0056】

以上が選択メモリセルに対してのデータ読み出し（リード）の原理である。なお、上述のリード動作は、フォワードリードである。つまり、ソース線拡散層SLDとビット線拡散層BLDとにおいて、プログラム時と同様にソース線拡散層SLDに高電圧を印加している。読み出し方法としてリバースリードを用いることも可能である。その場合、本実施形態でのソース線拡散層SLDとビット線拡散層BLDとのそれぞれに印加する電圧値が、お互い入れ替わることになる。

【0057】

図13はリバースリード時の電圧印加状態を表した図である。点線で丸く囲まれたメモリセル410が選択メモリセルである。図13によると、ワード線WL1（選択ワード線）及びセレクト線SG1（選択セレクト線）はリバースリード用選択ワード／セレクト電圧（電源電圧Vcc）にチャージアップされている。ソース線SL0、1を含むすべてのソース線80はすべてリバースリード用選択ソース電圧（Vcc）に設定されている。また、ビット線BL1を含む選択ビット線はすべてリバースリード用選択ビット電圧（Vcc-Vsa）に設定され、その他のビット線60つまり選択メモリブロック中の非選択ビット線はすべてリ

バースリード用非選択ビット電圧 (V_{cc}) に設定されている。ワード線 WL_0 、 WL_2 及び WL_3 を含む非選択ワード線及びセレクト線 SG_0 、 SG_2 及び SG_3 を含む非選択セレクト線はすべてリバースリード用非選択ワード/セレクト電圧 ($0V$) に設定されている。また、選択メモリブロックの基盤 414 にはリード用基板電圧 ($0V$) が印加される。メモリセル 410 からデータを読み出せる原理は、フォワードリードと同様である。

【0058】

(比較例との対比と、効果)

図15は、第1比較例におけるメモリブロック400の一部を表した図である。図15によると、第1比較例のメモリブロック400内の複数のメモリセル410のそれぞれに、ワード線50及びセレクト線70が1本ずつ接続されている。ワード線50及びセレクト線70はそれぞれ単位ワード線駆動部320または単位セレクト線駆動部330によって駆動される。つまり、第1比較例は、メモリブロック400内において、単位ワード線駆動部320及び単位セレクト線駆動部330をメモリブロック400内のワード線50及びセレクト線70の数だけ、必要とする。さらに、配線ピッチに制限があるので、多数の駆動部を配置するためには、配置方法に工夫が必要となる。これらは、結果的にレイアウト面積の増大につながる。

【0059】

第1比較例に比べて、本実施形態では、各単位ワード・セレクト線駆動部310が各ワード線50の他、各セレクト線70も駆動するので、別途セレクト線70用の単位駆動部を設置する必要がない。セレクト線70専用の駆動部を省略できるので、レイアウト面積を大幅に小さく設計することができる。

【0060】

図16は、第2比較例におけるメモリブロック400の一部の断面を表した図である。図16によると、各セレクトゲート411は四角形状に比較的大きく形成されている。これに比べ、本実施形態では各セレクトゲート411はサイドウォール形状に形成されている(図3参照)。基板上に積層された導電体に対してエッチングを施した際に、エッチングしきれなかった部分(導電体)がサイドウ

ォール（側壁）として残る。このサイドウォール（側壁）をセレクトゲート 4 1 1 として用いることができる。つまり、本実施形態では各セレクトゲート 4 1 1 をサイドウォール形状に形成することで、各メモリセル 4 1 0 のサイズを微細化している。これは、メモリセルアレイ 4 0 0 のダイサイズの縮小を可能とする効果を奏する。これらは、製造コストの大幅な削減を可能にする。

【0061】

（変形例の構成）

図 1 7 に一実施形態のメモリブロック 4 0 0 に係る変形例を示した。変形例は、一実施形態と同様の効果を奏する。一実施形態との相違は、ビット線 6 0 及びソース線 7 0 に対するメモリセル 4 1 0 のセレクトゲート 4 1 1 及びワードゲート 4 1 2 の配置方向である。より具体的にわかるように列方向 Y に沿ったメモリブロック 4 0 0 の断面を図 1 8 に示した。

【0062】

図 1 8 によると、変形例ではセレクトゲート 4 1 1 に隣接する拡散層がビット線拡散層 B L D になり、ワードゲート 4 1 2 に隣接する拡散層がソース線拡散層 S L D となる。変形例においても、一実施形態と同様にメモリブロック 4 0 0 の行方向 X に沿った両端にコンタクト W S C N T （バッティングコンタクト）が串歯上に配置されているが、コンタクト W S C N T （バッティングコンタクト）はすべて同じ側に配置されてもよい。また、ワードゲート 4 1 2 （ワード線 5 0）及びセレクトゲート 4 1 1 （セレクト線 7 0）のそれぞれに個別のコンタクトを配置して、各ワード線 5 0 及び各セレクト線 7 0 を各単位ワード・セレクト線駆動部 3 1 0 へ接続することも可能である。さらに、各メモリセル 4 1 0 の O N O 膜 4 1 7 を図 1 9 に示すように形成することもできる。

【0063】

図 1 8 によると各メモリセルの窒化膜 4 1 7 は、セレクトゲート 4 1 1 とワードゲート 4 1 2 の間まで延在形成されているので、前述してあるセレクトゲートフローティング法を用いることができる。変形例においても、セレクトゲート 4 1 1 とワードゲート 4 1 2 の間に容量カップリングを生じさせるような誘電体膜が形成されていれば、セレクトゲートフローティング法を用いることができる。

図20は、変形例においてセレクトゲートフローティング法を用いたときのメモリブロック400の一部を示した図である。

【0064】

(変形例の動作説明)

変形例は、一実施形態と同様にスタンバイ、イレーズ、プログラム、リードの各状態を有する。以下に、図面を参照しながら説明する。図21～25は、選択メモリブロックについての電圧印加状態を示している。スタンバイ時では、メモリセルアレイ4000内の各ワード線50（ワード線WL0～3を含む）及び各セレクト線70（セレクト線SG0～3を含む）はすべてスタンバイ用ワード・セレクト電圧（0V）に設定されている。同様に、メモリセルアレイ4000内の各ビット線60（ビット線BL0～3を含む）はすべてスタンバイ用ビット電圧（0V）に設定され、メモリセルアレイ4000内の各ソース線80（ソース線SL0、1を含む）はすべてスタンバイ用ソース電圧（0V）に設定される。また、各動作時（イレーズ、プログラム、リード）の非選択メモリブロックはすべて、スタンバイ時と同様の状態に設定される。各動作時（イレーズ、プログラム、リード）の基本原理は、一実施形態と同様である。

【0065】

(変形例のイレーズ)

図21は、イレーズ時の選択メモリブロックの一部についての電圧印加状が示された図である。選択メモリブロック内のすべてのワード線50（ワード線WL0～3を含む）及び選択メモリブロック内のすべてのセレクト線70（セレクト線SG0～3を含む）は消去用ワード・セレクト電圧（-3V）に設定される。選択メモリブロック内のすべてのビット線60（ビット線BL0～3を含む）は消去用ビット電圧（0V）に設定される。選択メモリブロック内のすべてのソース線80（ソース線SL0、1を含む）はすべて消去用ソース電圧（5V）に設定される。また、選択メモリブロックの基盤414には消去用基板電圧（0V）が印加される。

【0066】

また、変形例においてもイレーズは前述したFN消去を用いることができる。

図22は、イレーズ動作をFN消去で行ったときの電圧印加状態が示された図である。選択メモリブロック内のすべてのワード線50（ワード線WL0～3を含む）及びセレクト線70（セレクト線SG0～3を含む）はすべてFN消去用ワード／セレクト電圧（-8V）に設定されている。また、選択メモリブロック内のすべてのビット線60（ビット線BL0～3を含む）はフローティング状態、または、FN消去用ビット電圧（5V）に設定されている。さらに、選択メモリブロック内のすべてのソース線80（ソース線SL0、1を含む）は消去用ソース電圧（5V）に設定される。また、選択メモリブロックの基盤414（図22中の符号Pwell）にはFN消去用基板電圧（5V）が印加される。

【0067】

（変形例のプログラム）

図23は、プログラム時の選択メモリブロックの一部についての電圧印加状が示された図である。点線で丸く囲まれたメモリセル410が選択メモリセルである。

【0068】

図8によると、ワード線WL1（選択ワード線）及びセレクト線SG1（選択セレクト線）はプログラム用選択ワード／セレクト電圧（5.5V）に設定されている。ソース線SL0（選択ソース線）はプログラム用選択ソース電圧（5V）に設定され、ソース線SL1を含む選択メモリブロック内の非選択ソース線はすべてプログラム用非選択ソース電圧（0V）に設定されている。また、ビット線BL1を含む選択ビット線はすべてプログラム用選択ビット電圧（0V）に設定され、その他のビット線60、つまり選択メモリブロック中の非選択ビット線はすべてプログラム用非選択ビット電圧（Vpb1、たとえば約5V）に設定されている。ワード線WL0、WL2及びWL3を含む選択メモリブロック内の非選択ワード線及びセレクト線SG0、SG2及びSG3を含む選択メモリブロック内の非選択セレクト線はすべてプログラム用非選択ワード／セレクト電圧（0V）に設定されている。また、選択メモリブロックの基盤414にはプログラム用基板電圧（0V）が印加される。

【0069】

(変形例のリード)

図24は、リード時の選択メモリブロックの一部についての電圧印加状が示された図である。点線で丸く囲まれたメモリセル410が選択メモリセルである。

【0070】

図24によると、ワード線WL1（選択ワード線）及びセレクト線SG1（選択セレクト線）はリード用選択ワード／セレクト電圧（電源電圧Vcc）に設定されている。ソース線SL0、1を含む選択メモリブロック内のすべてのソース線80はリード用選択ソース電圧（Vcc）に設定されている。また、ビット線BL1を含む選択ビット線はすべてリード用選択ビット電圧（Vcc - Vsa）に設定され、選択メモリブロック中の非選択ビット線はすべてリード用非選択ビット電圧（Vcc）に設定されている。ワード線WL0、WL2及びWL3を含む選択メモリブロック内の非選択ワード線及びセレクト線SG0、SG2及びSG3を含む選択メモリブロック内の非選択セレクト線はすべてリード用非選択ワード／セレクト電圧（0V）に設定されている。また、選択メモリブロックの基盤414にはリード用基板電圧（0V）が印加される。なお、これは、フォワードリードである。一実施形態と同様に、変形例もリバースリードが可能である。

【0071】

図25はリバースリード時の電圧印加状態を表した図である。点線で丸く囲まれたメモリセル410が選択メモリセルである。図25によると、ワード線WL1（選択ワード線）及びセレクト線SG1（選択セレクト線）はリバースリード用選択ワード／セレクト電圧（電源電圧Vcc）に設定されている。ソース線SL0、1を含む選択メモリブロック内のすべてのソース線80はリバースリード用選択ソース電圧（0V）に設定されている。また、ビット線BL1を含む選択ビット線はすべてリバースリード用選択ビット電圧（Vsa、例えば電圧1V）に設定され、選択メモリブロック中の非選択ビット線はすべてリバースリード用非選択ビット電圧（0V）に設定されている。ワード線WL0、WL2及びWL3を含む選択メモリブロック内の非選択ワード線及びセレクト線SG0、SG2及びSG3を含む選択メモリブロック内の非選択セレクト線はすべてリバースリード用非選択ワード／セレクト電圧（0V）に設定されている。また、選択メモ

リブロックの基盤 4 1 4 にはリード用基板電圧 (0 V) が印加される。

【 0 0 7 2 】

以上のようにして、本発明はレイアウト面積の小さい不揮発性半導体記憶装置を提供できる。

【 0 0 7 3 】

本発明は、上述した実施の形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。

【図面の簡単な説明】

【図 1】 本発明の一実施形態に係る全体図。

【図 2】 本発明のメモリブロックの構成図。

【図 3】 本発明の一実施形態に係るメモリブロックの断面構造図。

【図 4】 本発明の一実施形態に係るメモリブロックの他の断面構造図。

【図 5】 図 5 (a) ~ 図 5 (e) は、本発明の一実施形態に係るメモリブロックの平面及び断面を示す部分図。

【図 6】 図 5 を立体的に示した概略斜視図。

【図 7】 図 4 に示す断面構造を有するメモリブロックの部分図。

【図 8】 スタンバイ時の電圧印加状が示された図。

【図 9】 イレーズ時の電圧印加状が示された図。

【図 1 0】 F N 消去時の電圧印加状が示された図。

【図 1 1】 プログラム時の電圧印加状が示された図。

【図 1 2】 フォワードリード時の電圧印加状が示された図。

【図 1 3】 リバースリード時の電圧印加状が示された図。

【図 1 4】 O N O 膜内の電荷の有無と流れる電流の関係を表す図。

【図 1 5】 第 1 比較例のメモリブロックの一部を示した図。

【図 1 6】 第 2 比較例のメモリブロックの断面図。

【図 1 7】 変形例のメモリブロック 4 0 0 の一部を示した図。

【図 1 8】 メモリブロックの断面図。

【図 1 9】 メモリブロックの断面図。

【図 2 0】 変形例にセレクトゲートフローティング法を用いたときのメモ

リブロックの図。

【図 2 1】 変形例のイレース時の電圧印加状が示された図。

【図 2 2】 変形例の F N 消去時の電圧印加状が示された図。

【図 2 3】 変形例のプログラム時の電圧印加状が示された図。

【図 2 4】 変形例のフォワードリード時の電圧印加状が示された図。

【図 2 5】 変形例のリバースリード時の電圧印加状が示された図。

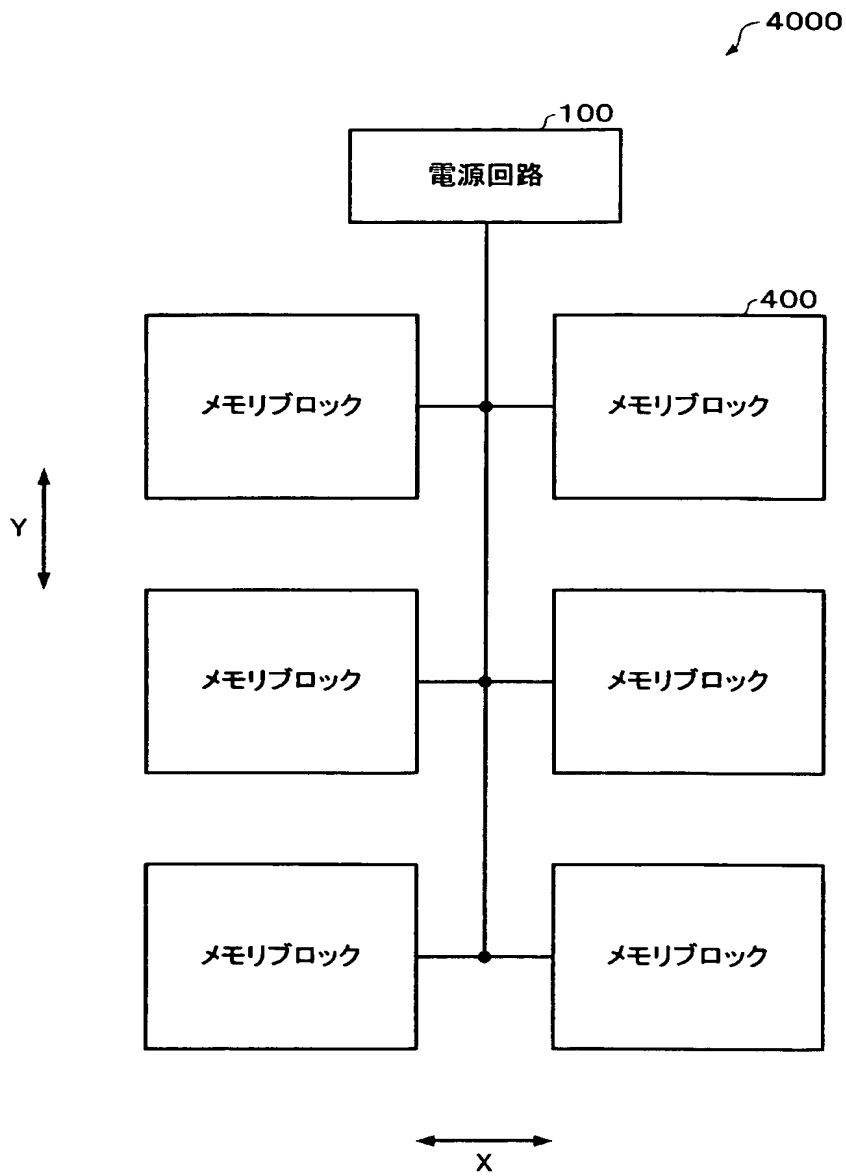
【符号の説明】

5 0 ワード線、6 0 ビット線、7 0 セレクト線、8 0 ソース線、3 0 0
ワード／セレクト線駆動部、3 1 0 単位ワード・セレクト線駆動部、4 0 0
メモリブロック、4 1 0 メモリセル、4 1 1 セレクトゲート、4 1 2 ワ
ードゲート、4 1 3 ONO膜、4 1 7 窒化膜

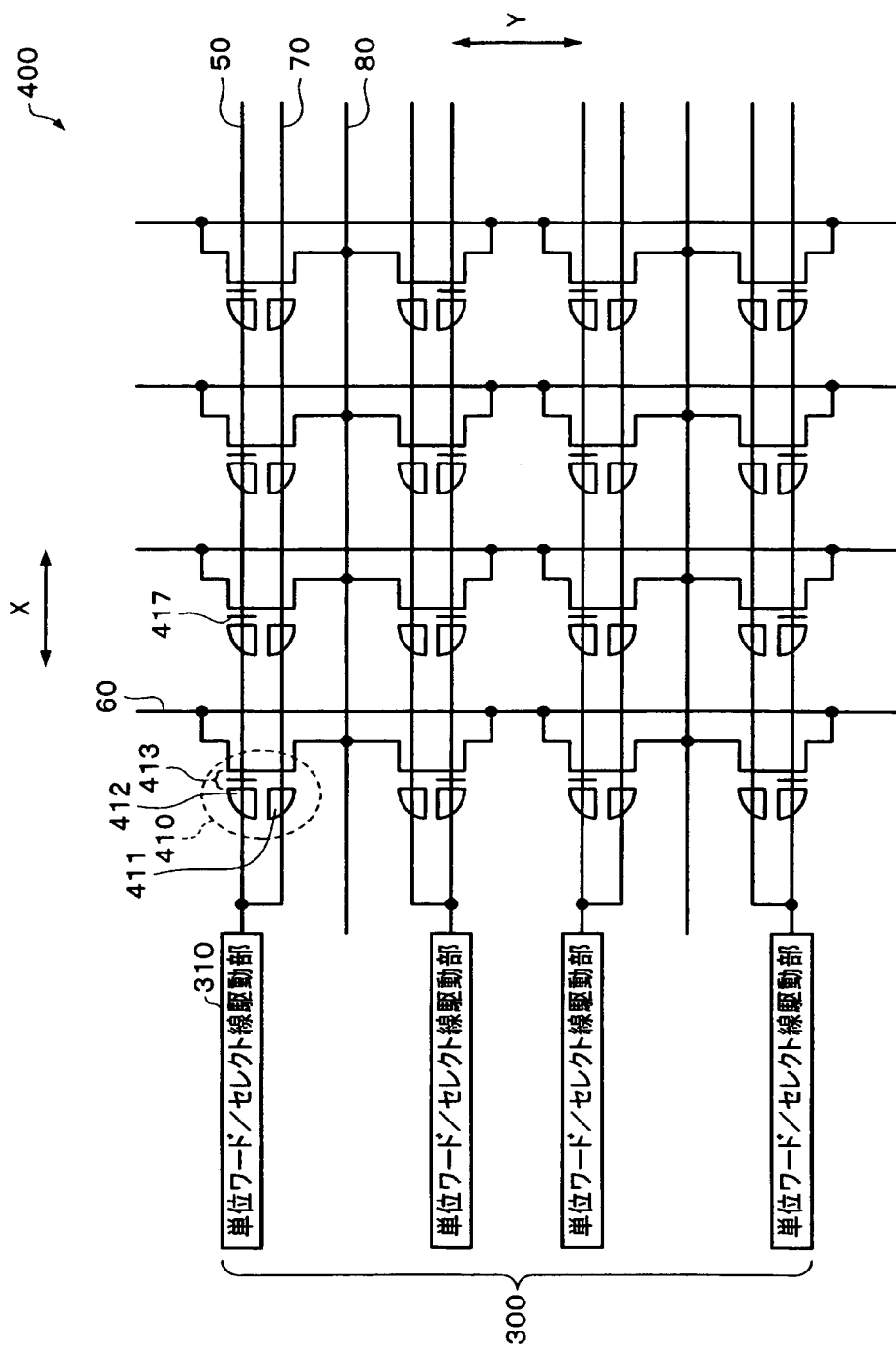
【書類名】

図面

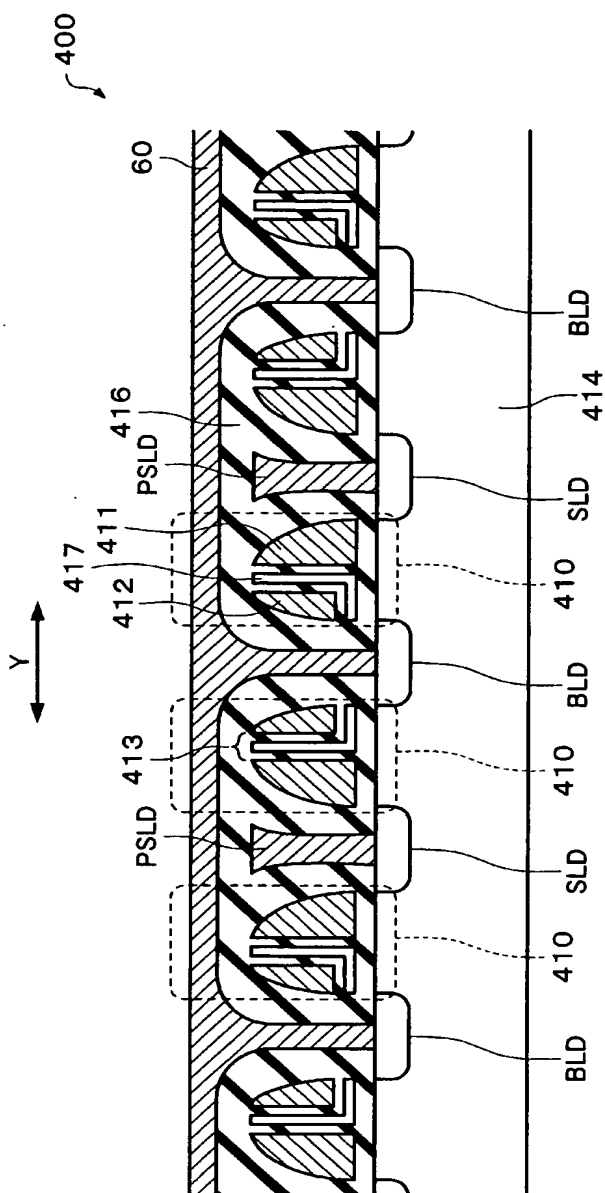
【図 1】



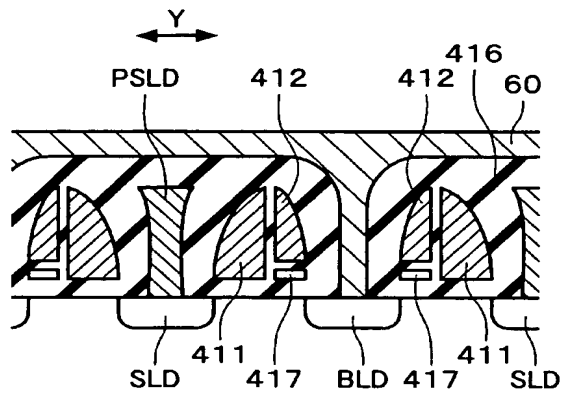
【図 2】



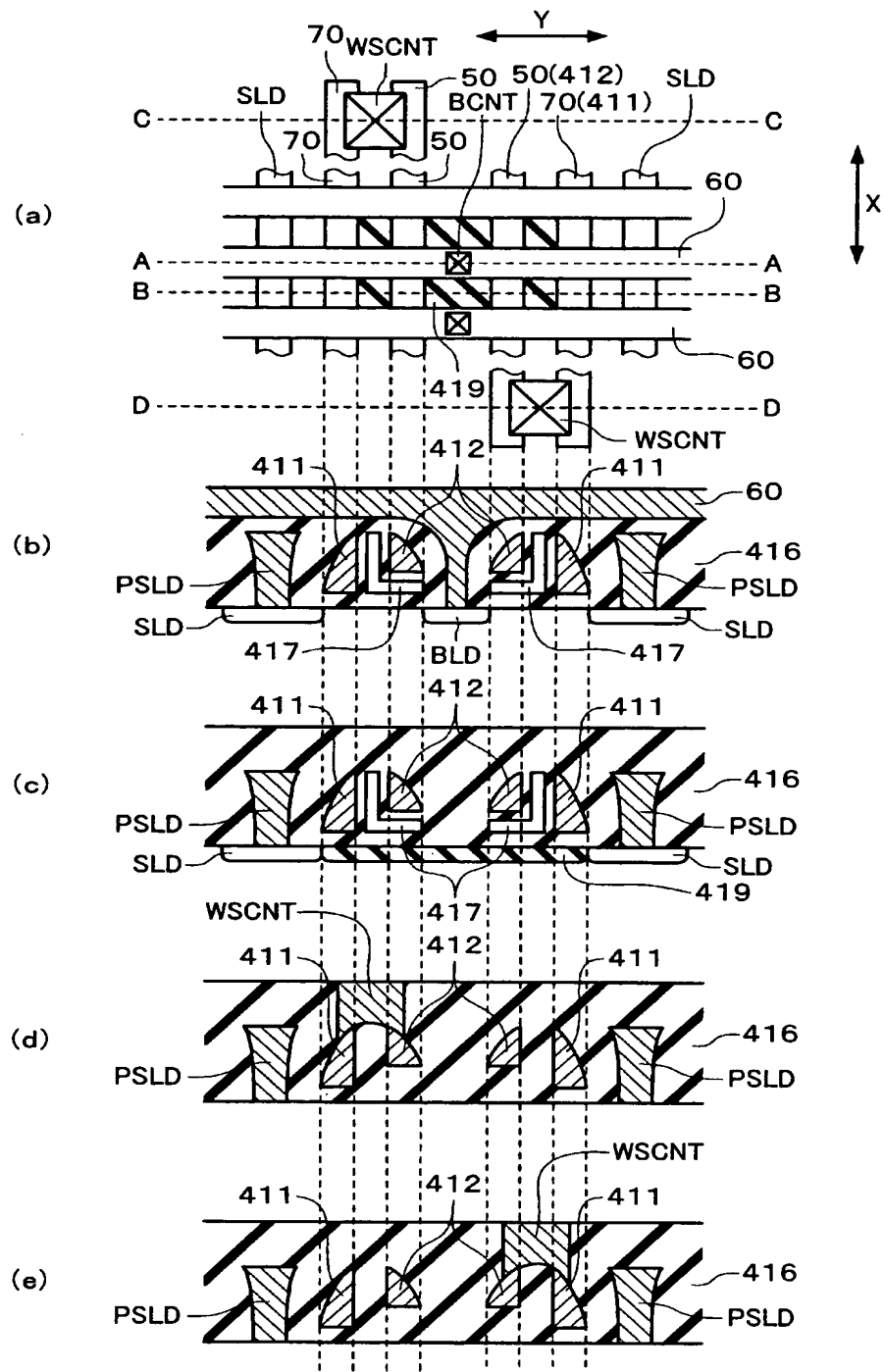
【図 3】



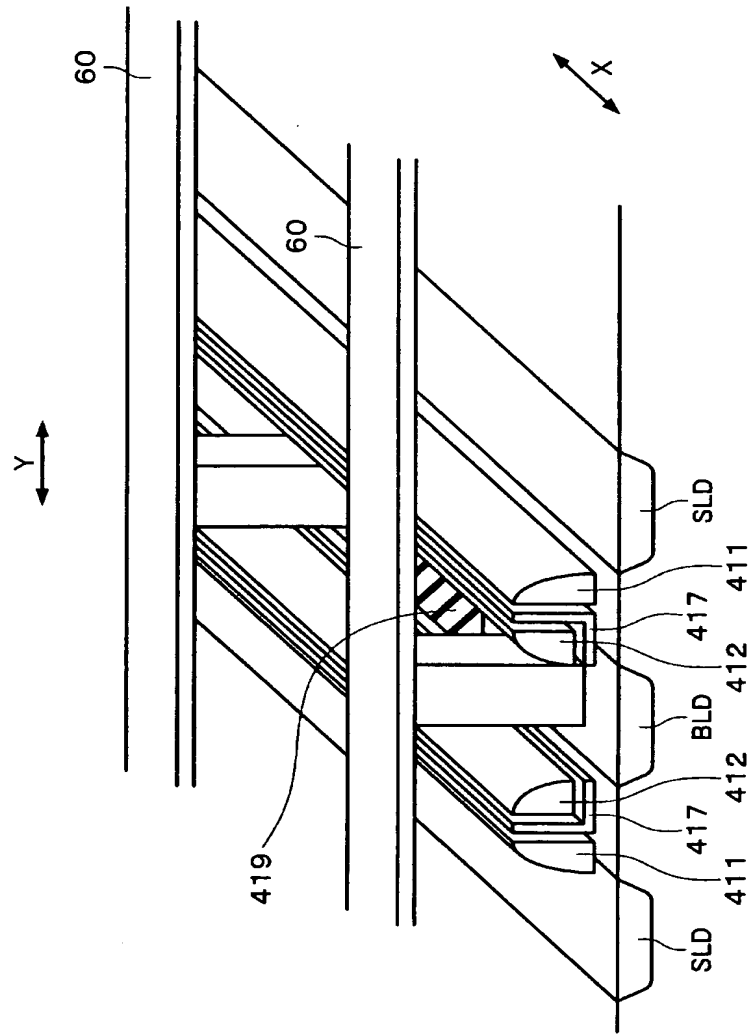
【図 4】



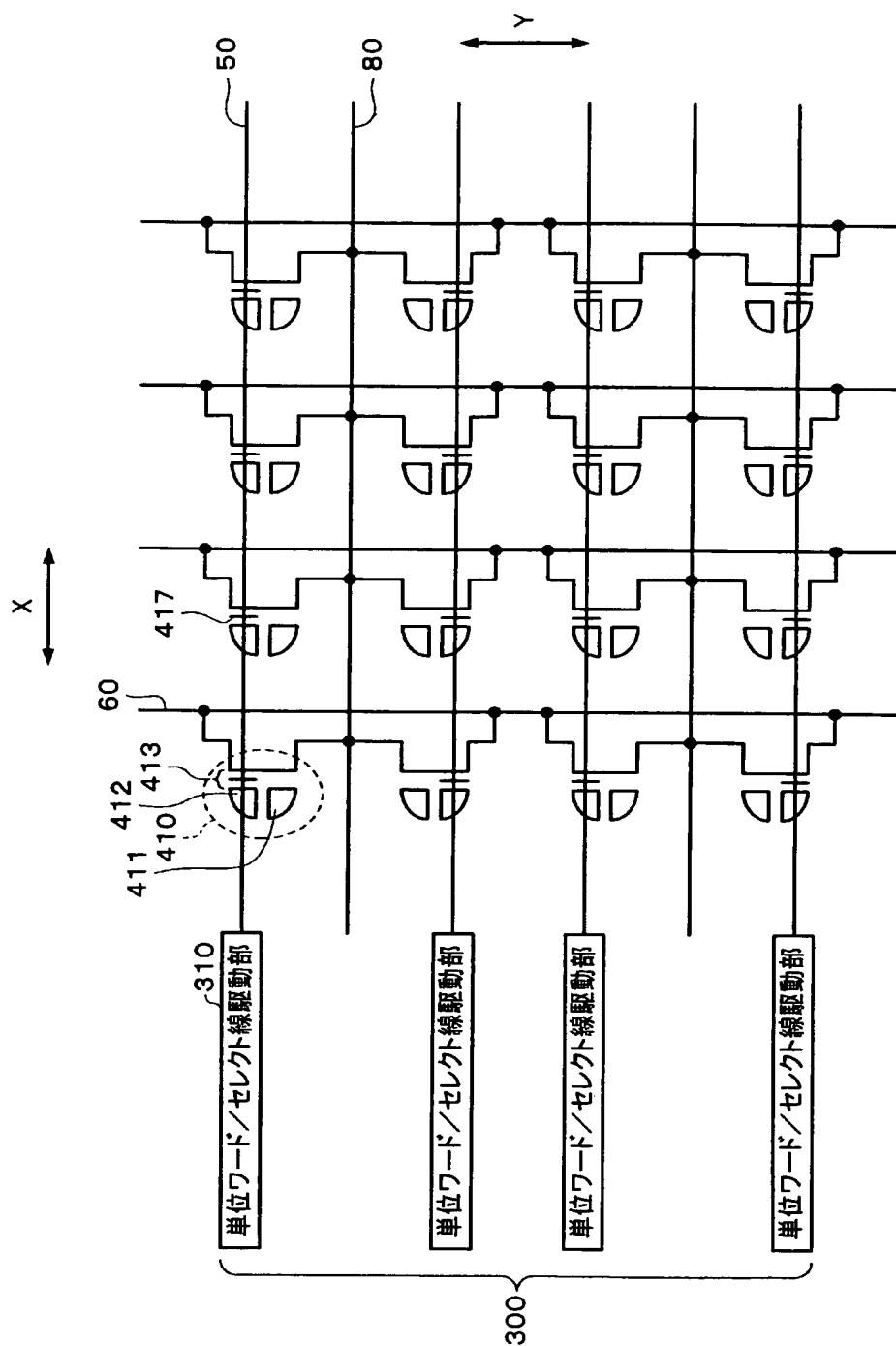
【図 5】



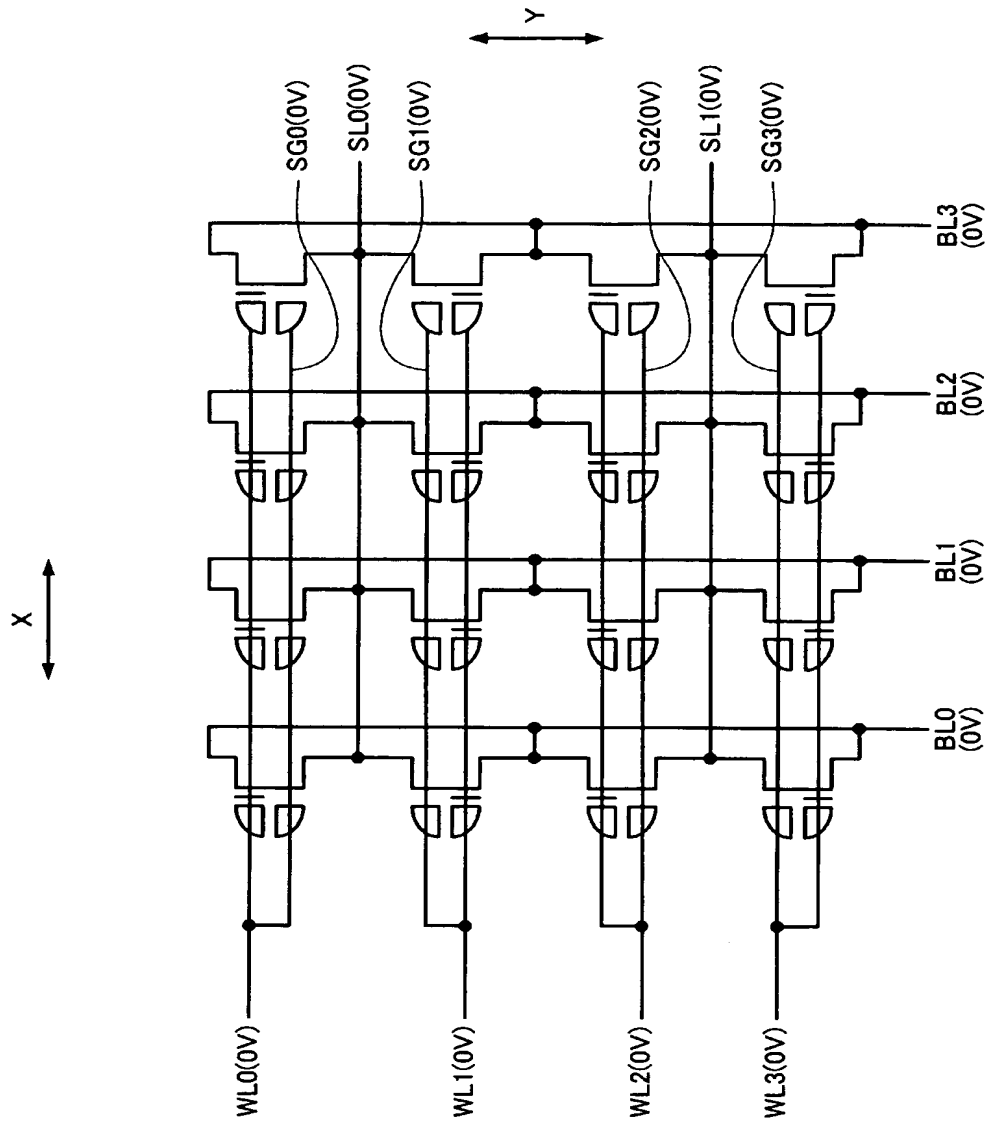
【図 6】



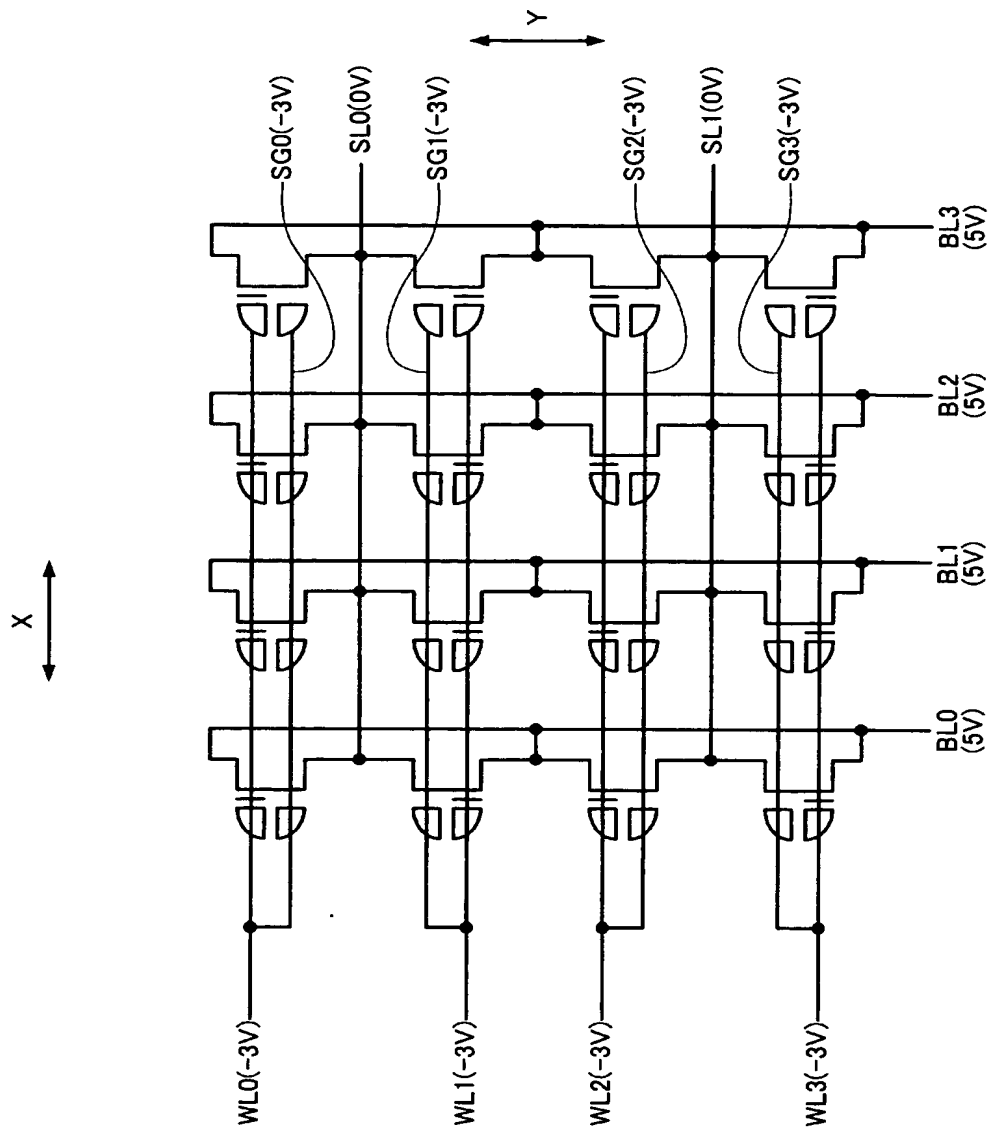
【図 7】



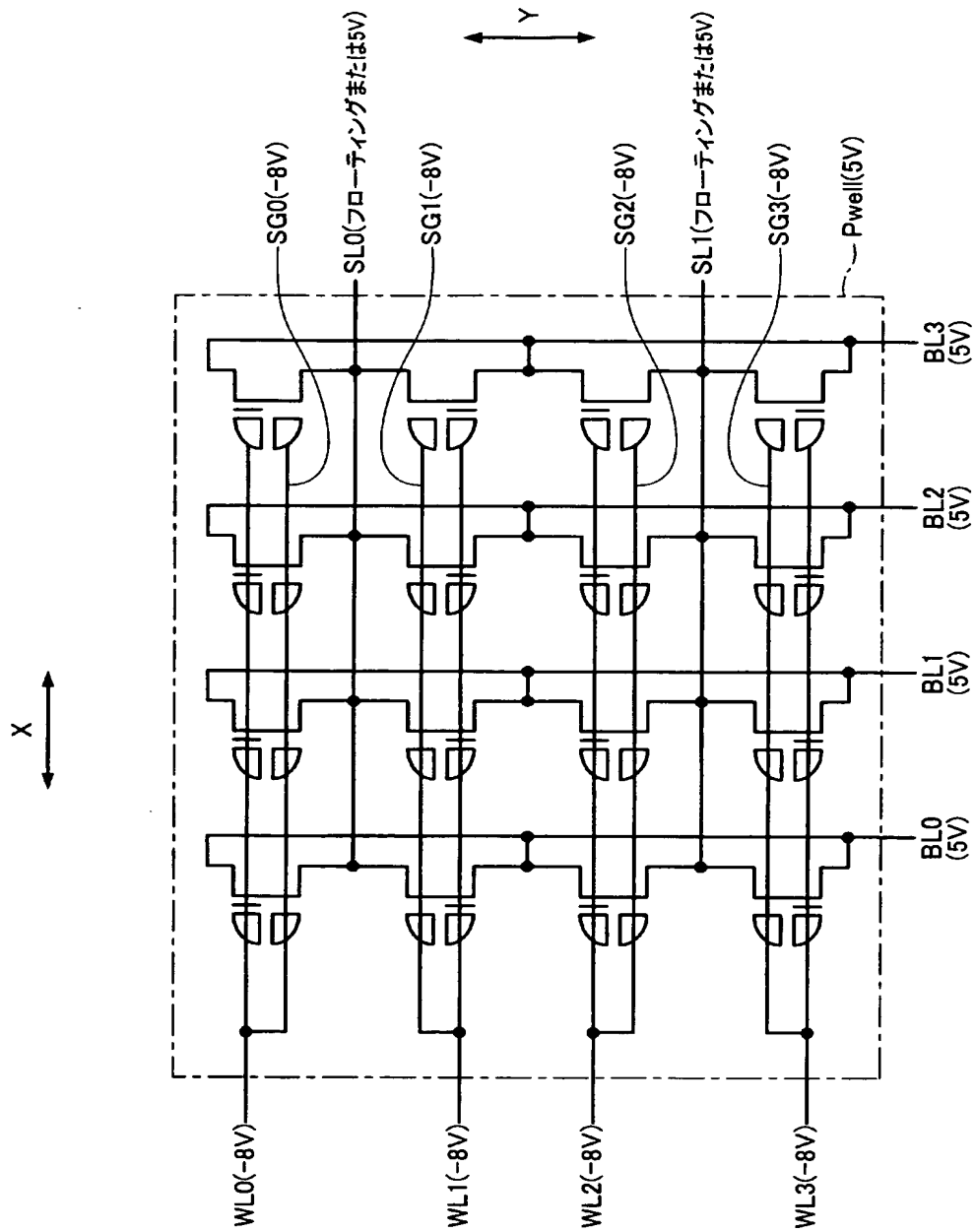
【図 8】



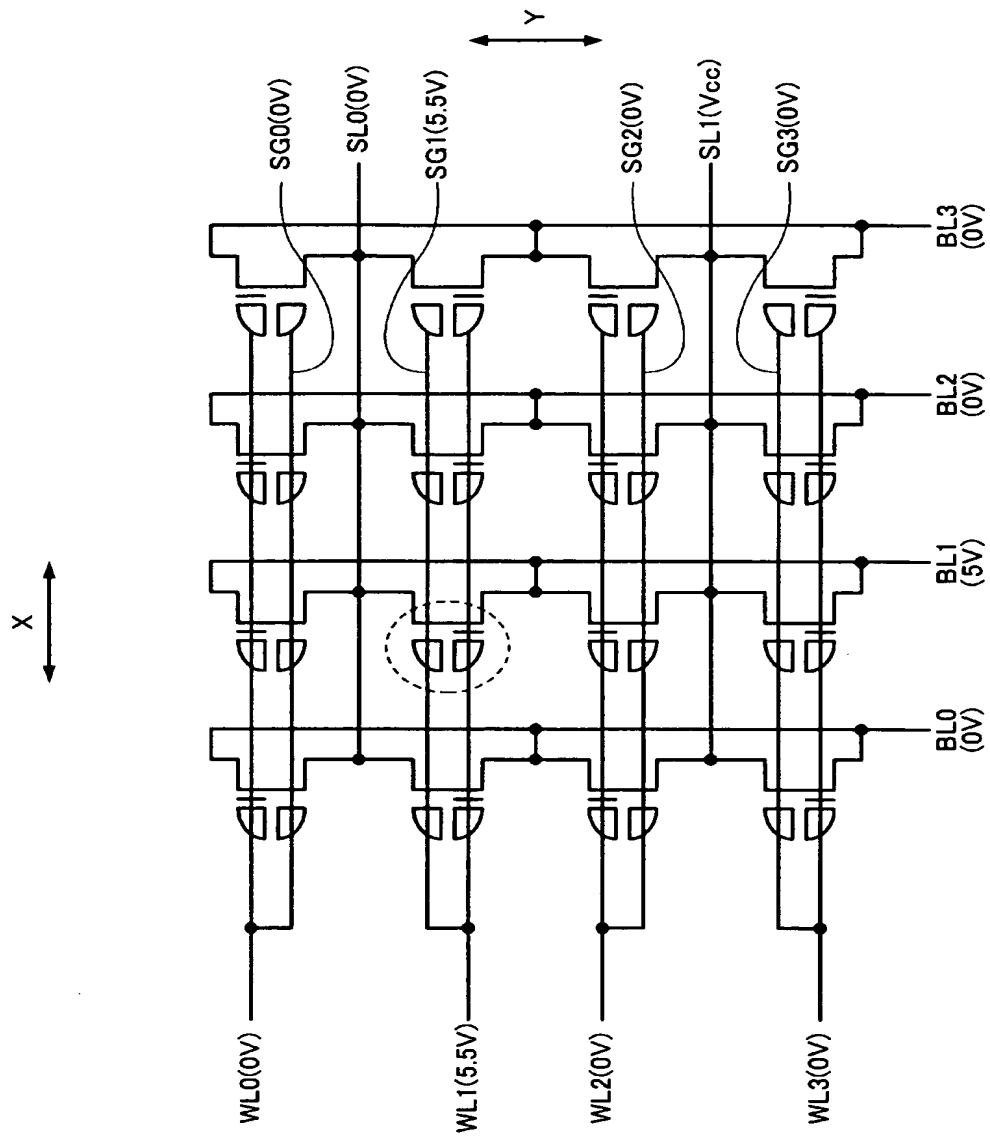
【図 9】



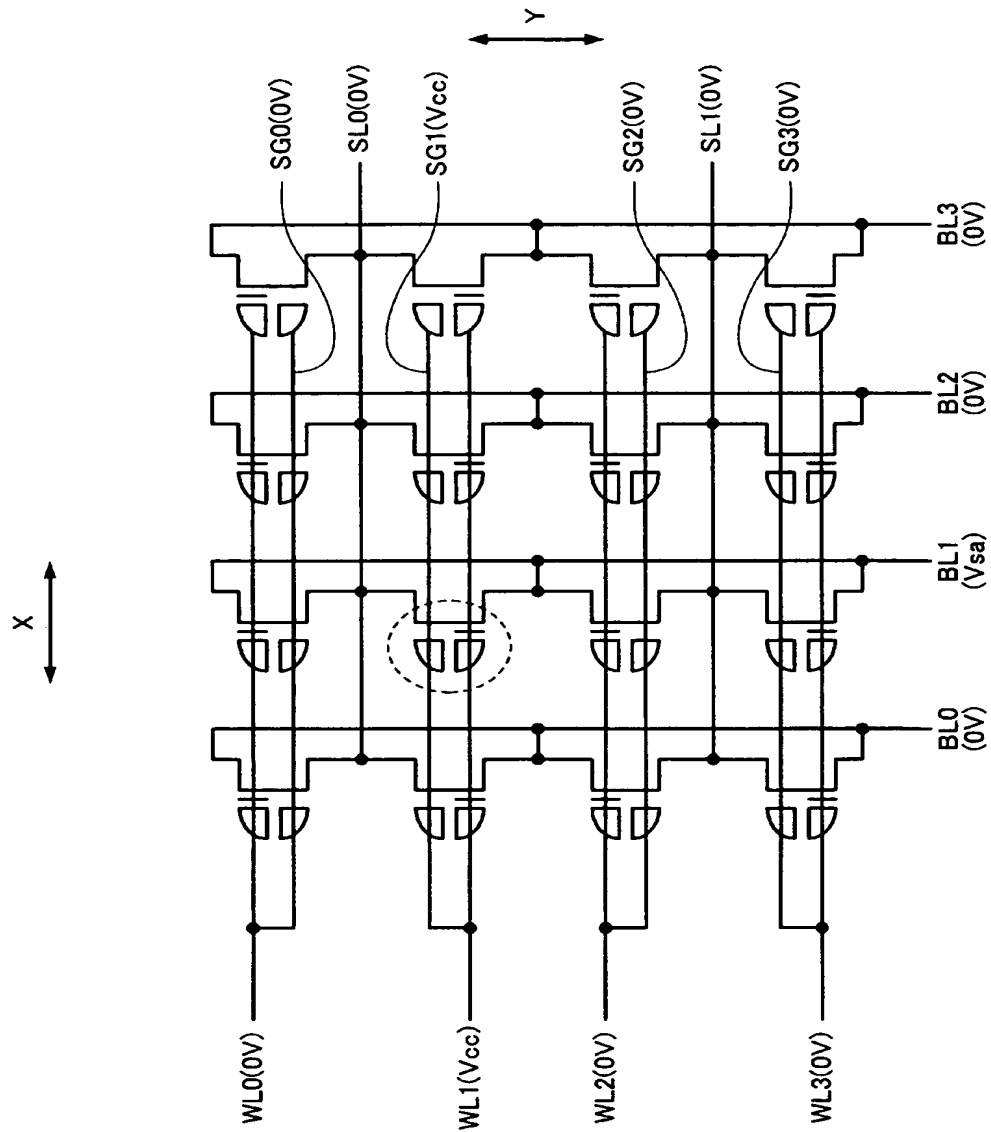
【図10】



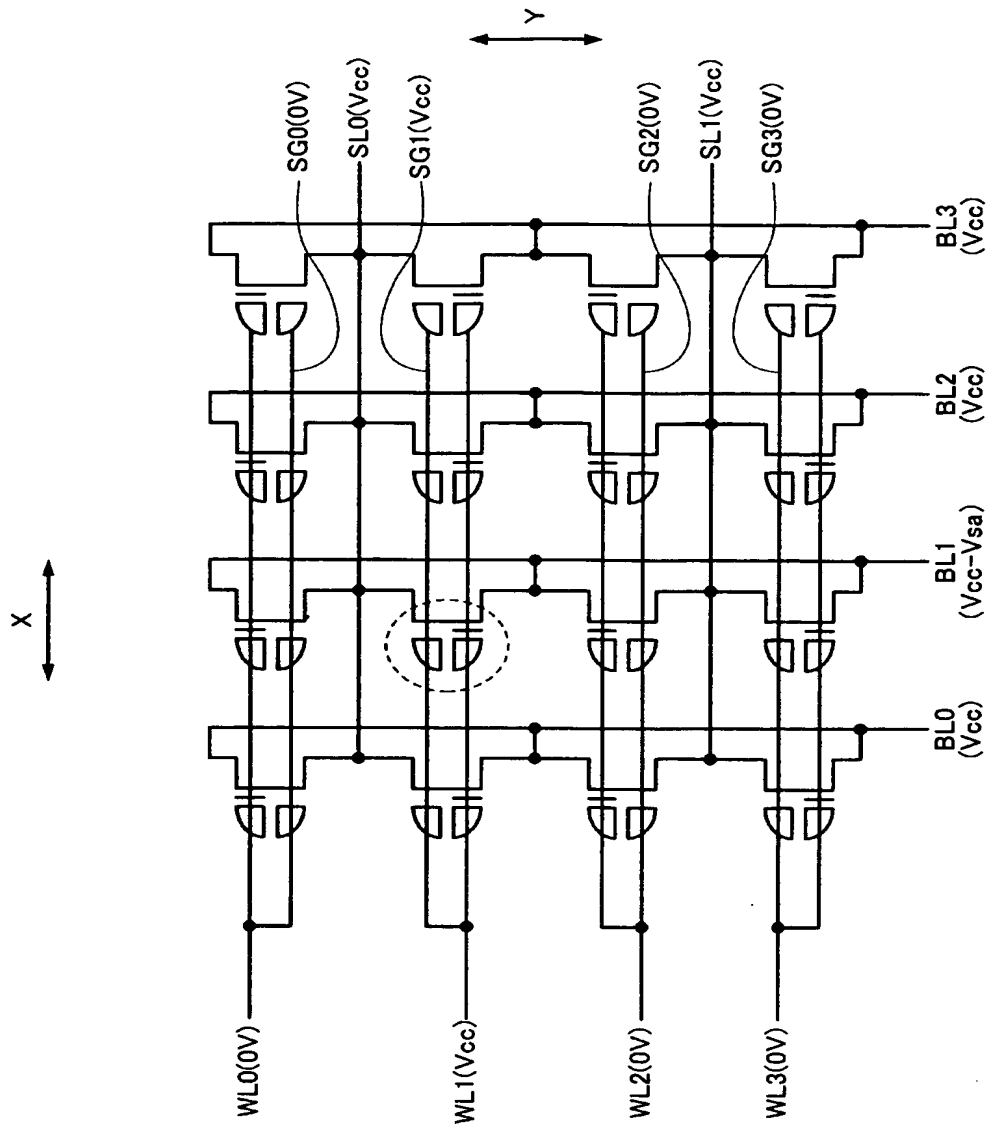
【図 11】



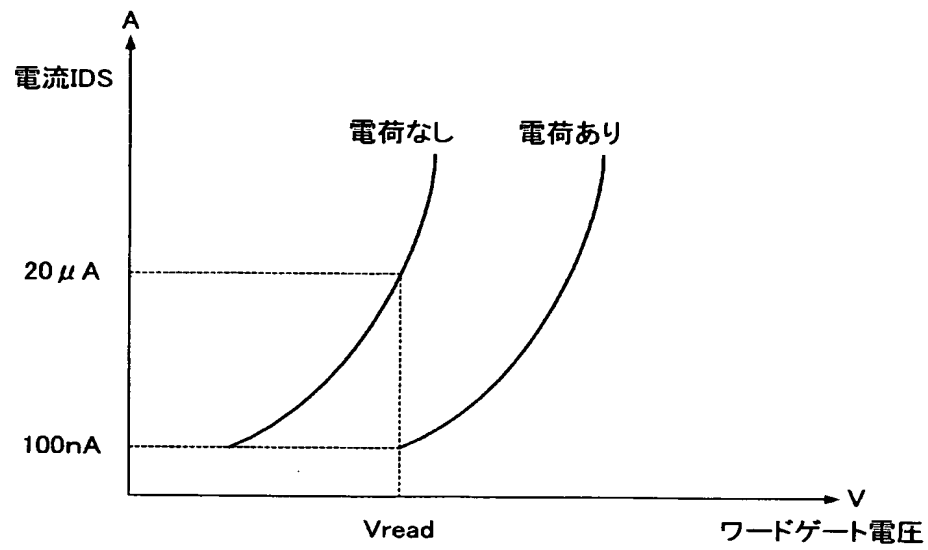
【図 12】



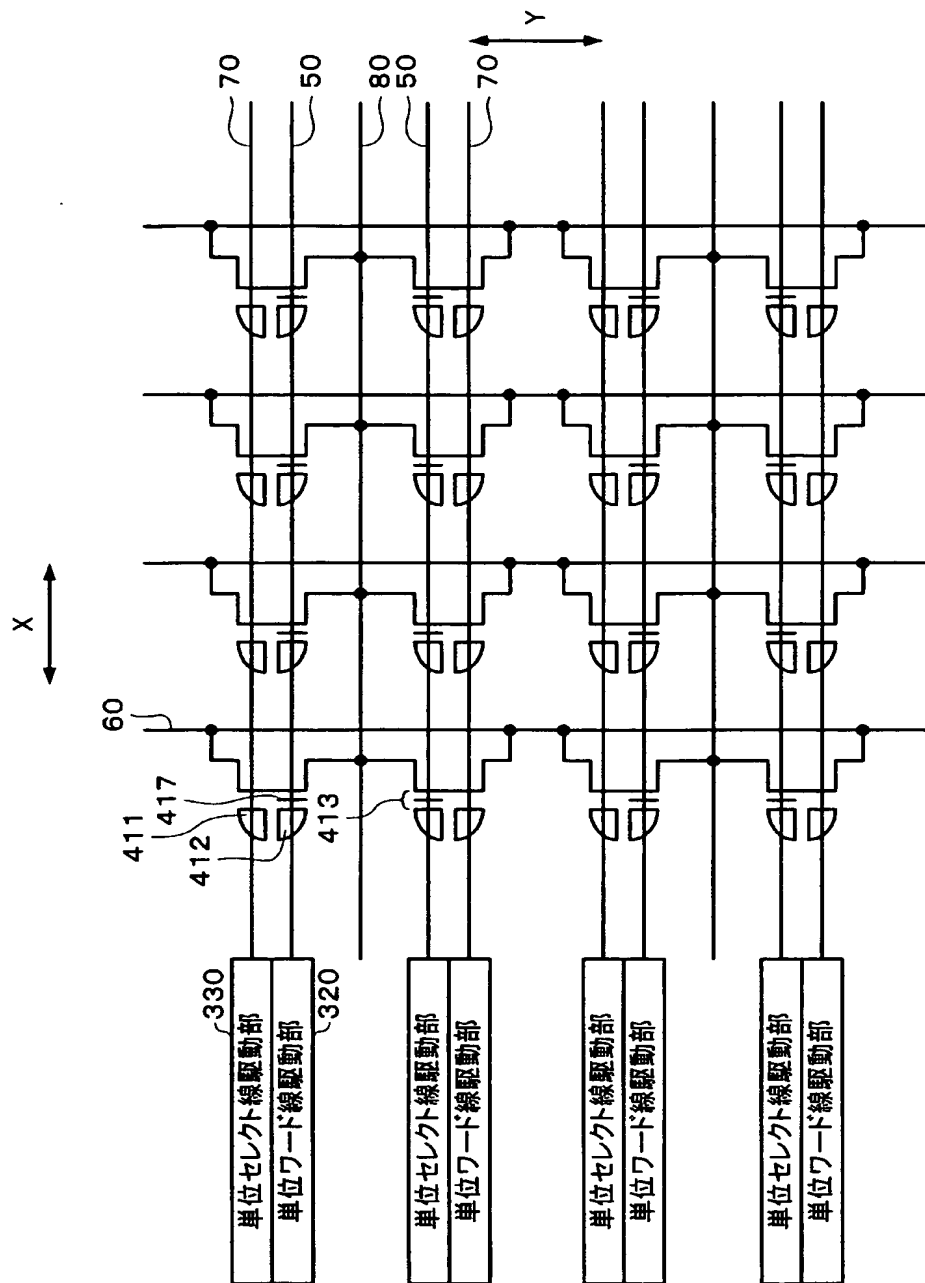
【図 13】



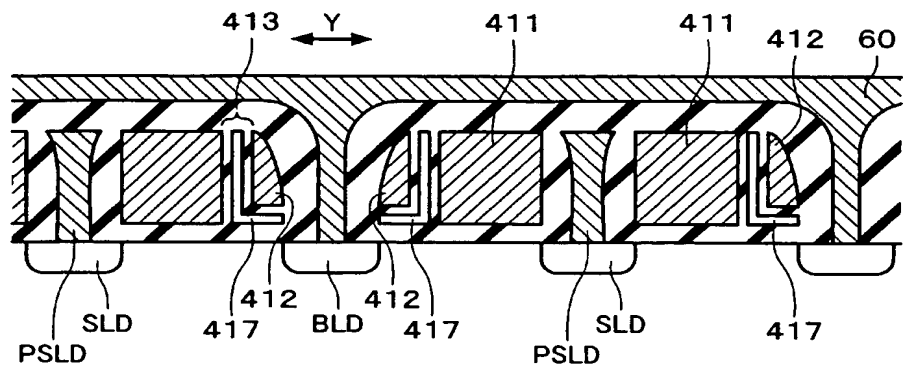
【図 14】



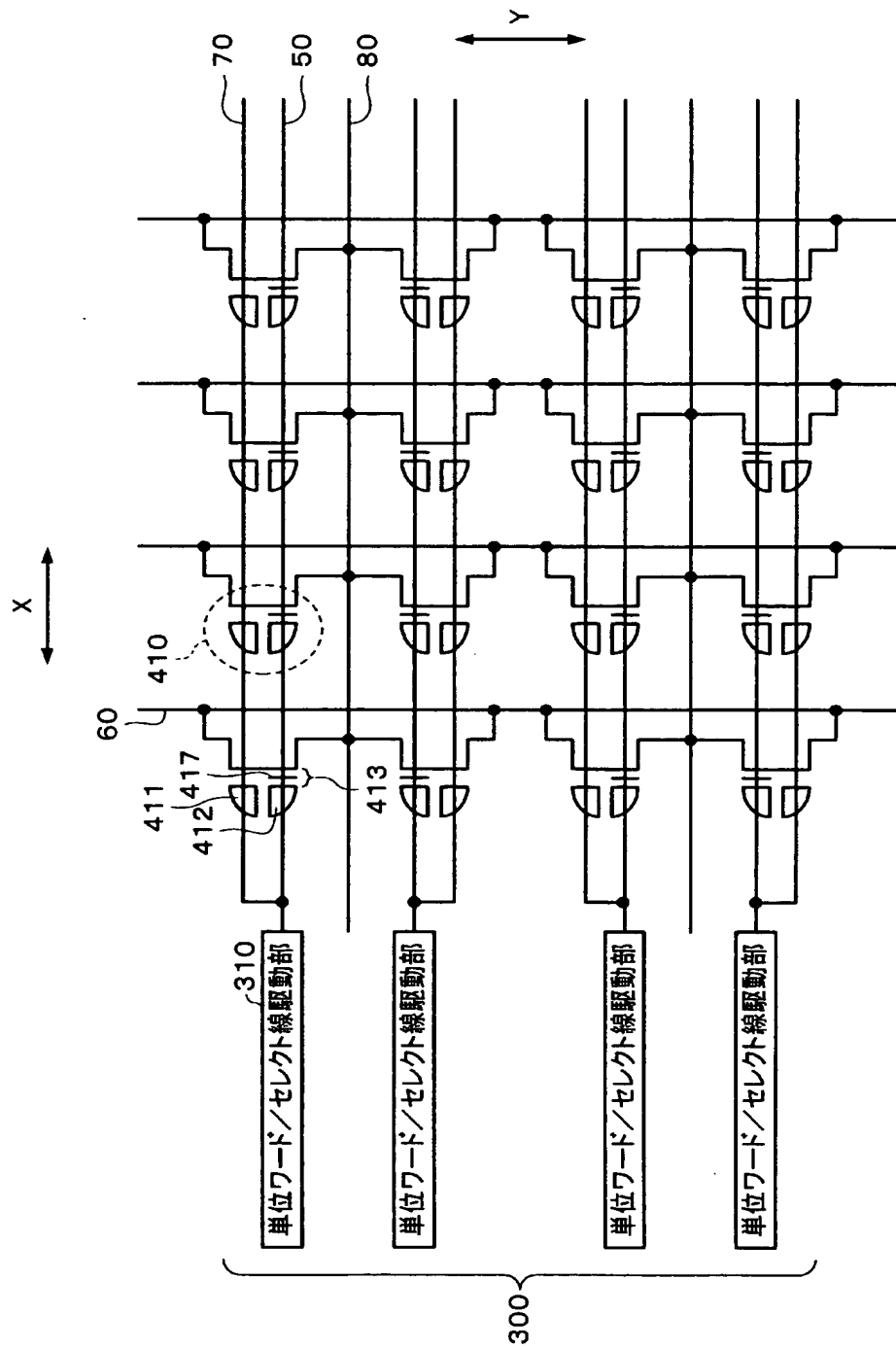
【図 15】



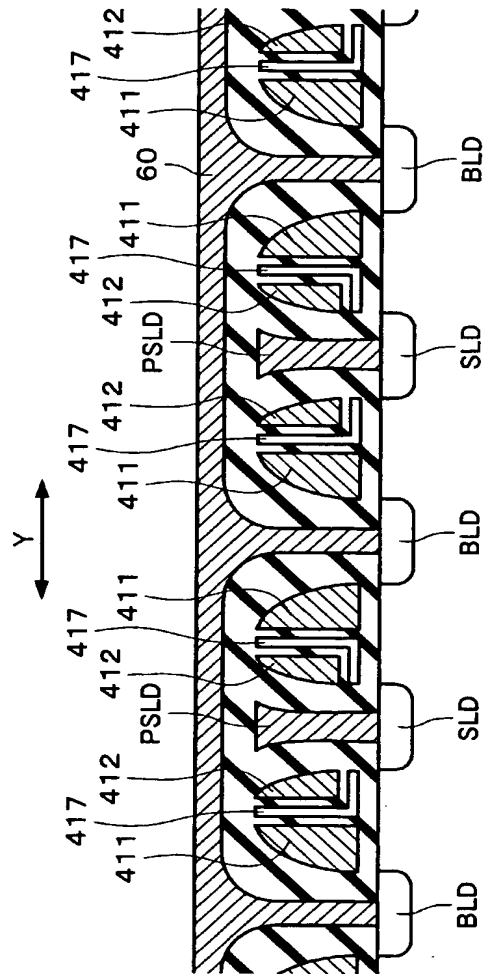
【図 16】



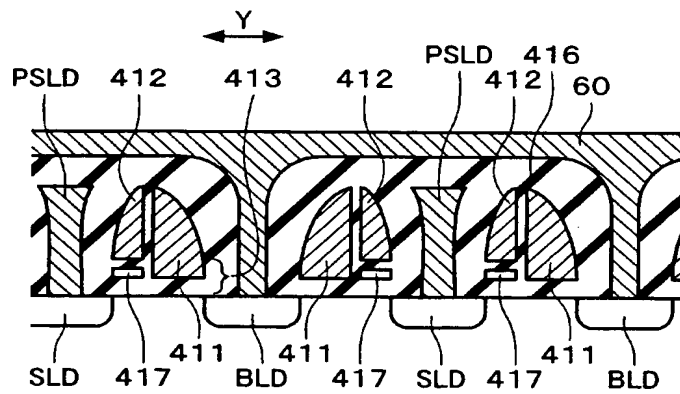
【図 17】



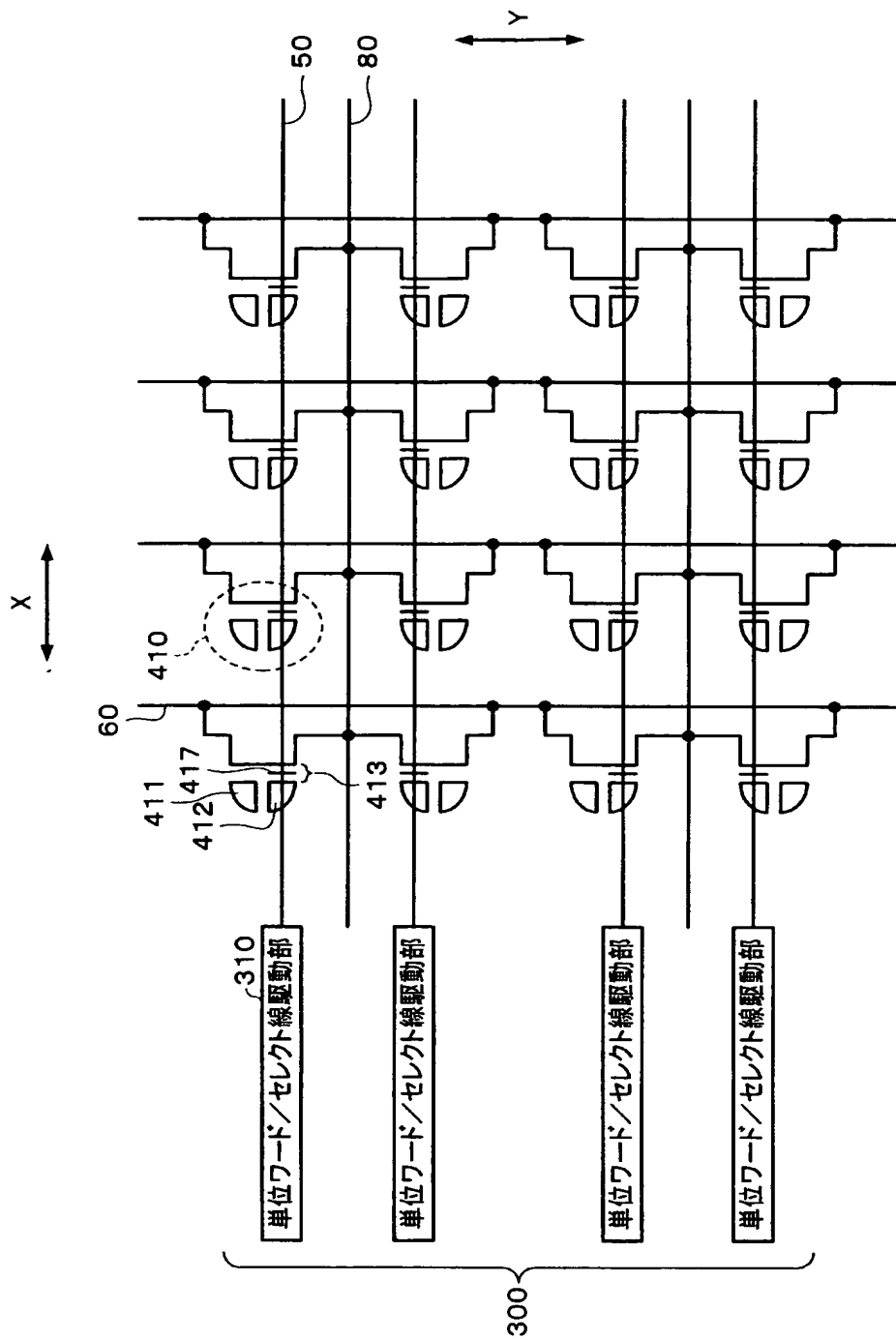
【図 18】



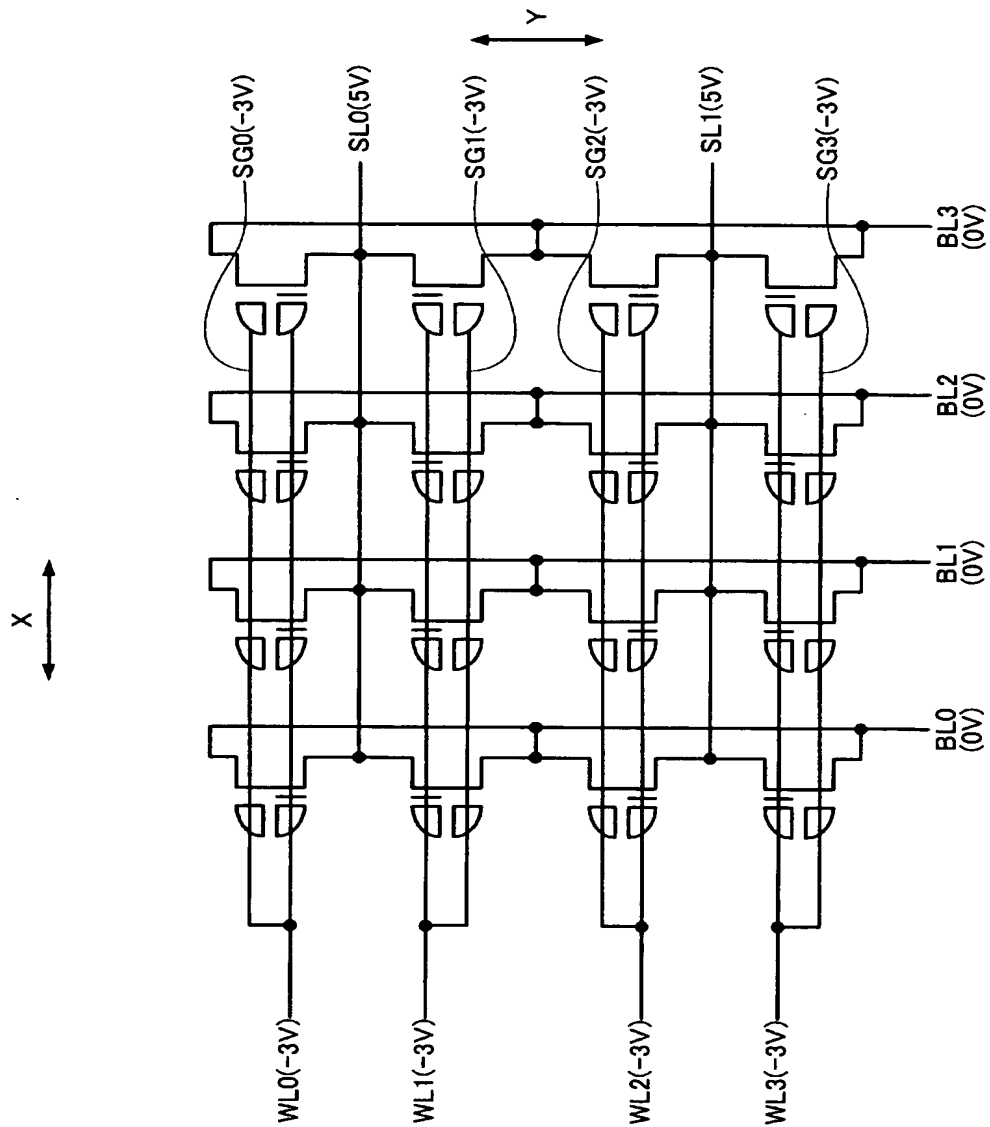
【図 19】



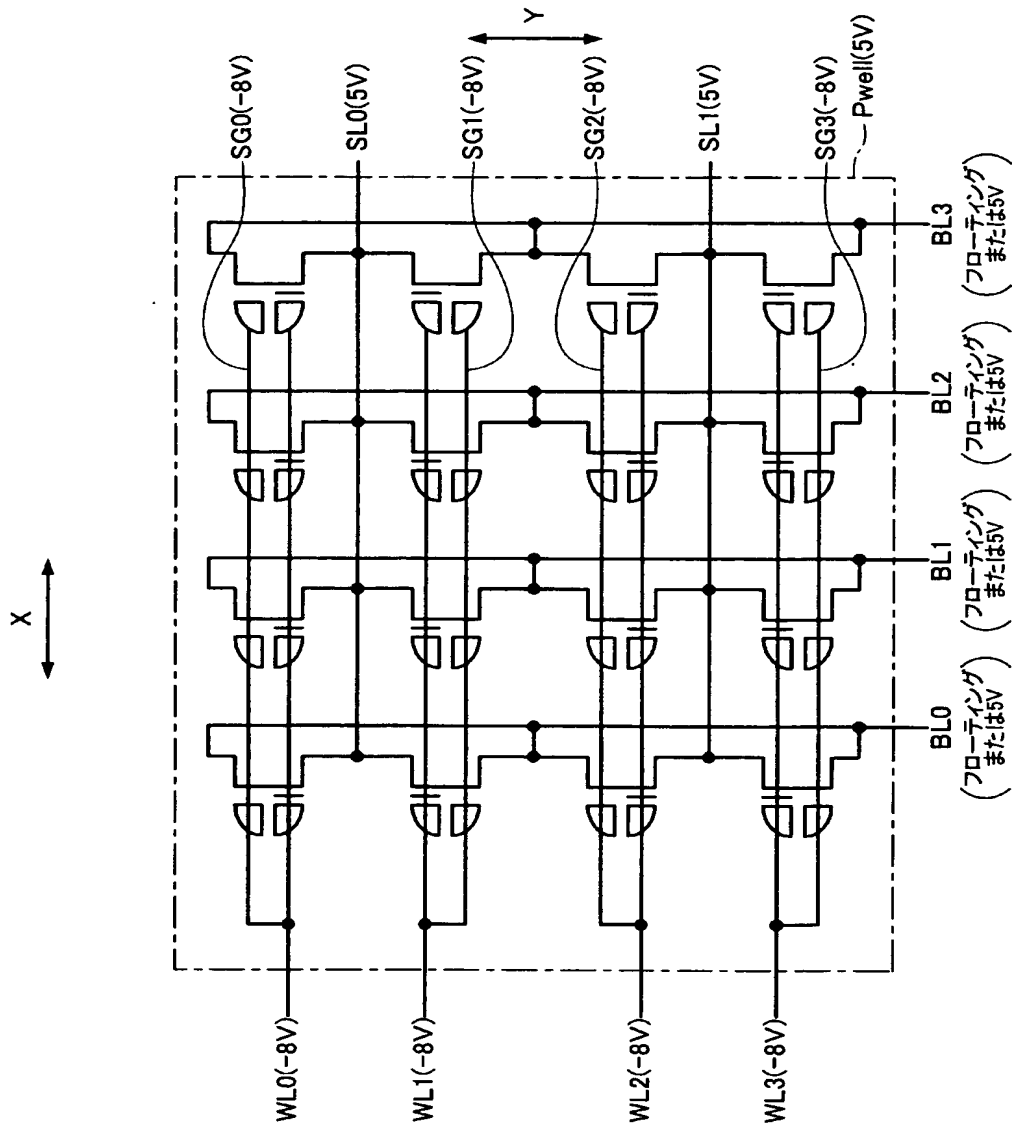
【図 20】



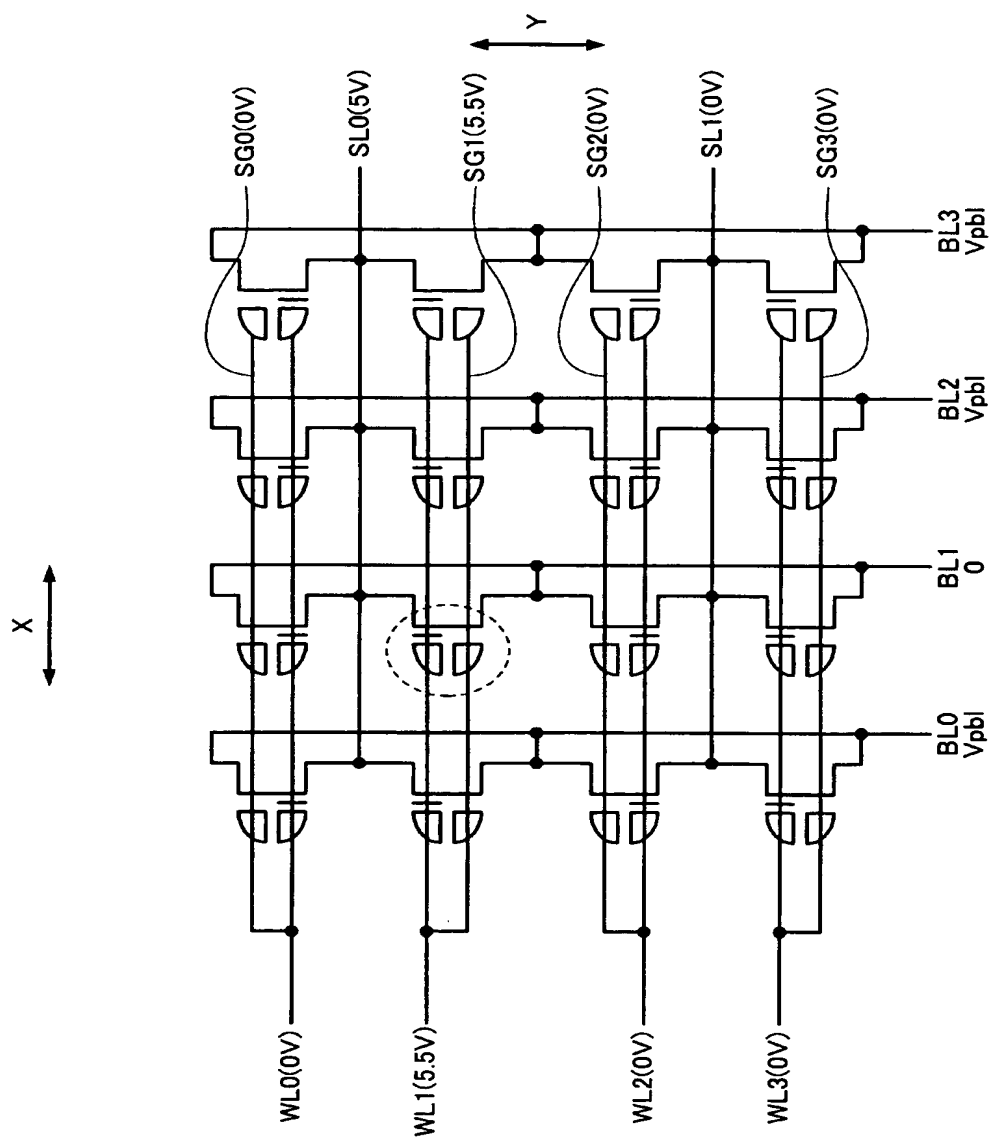
【図 21】



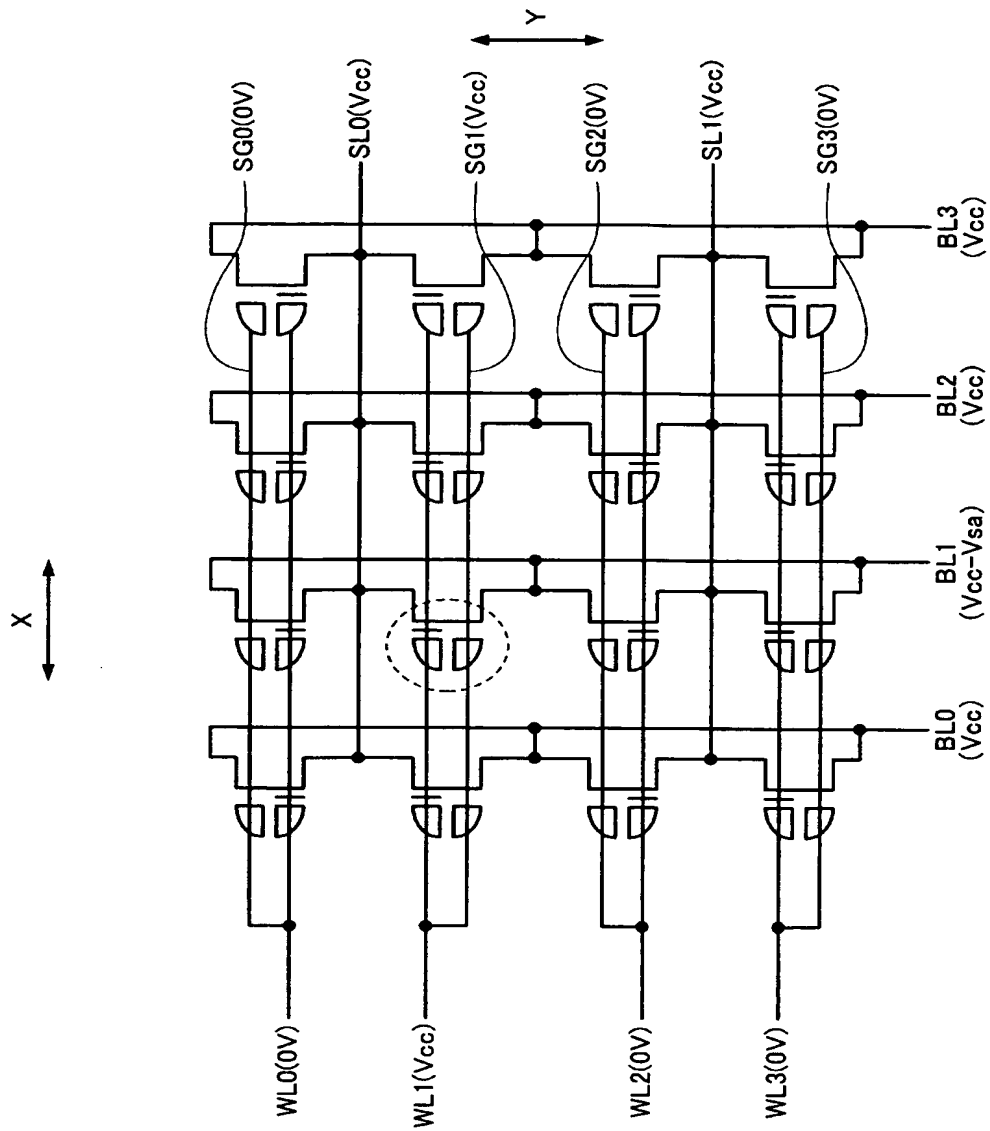
【図 22】



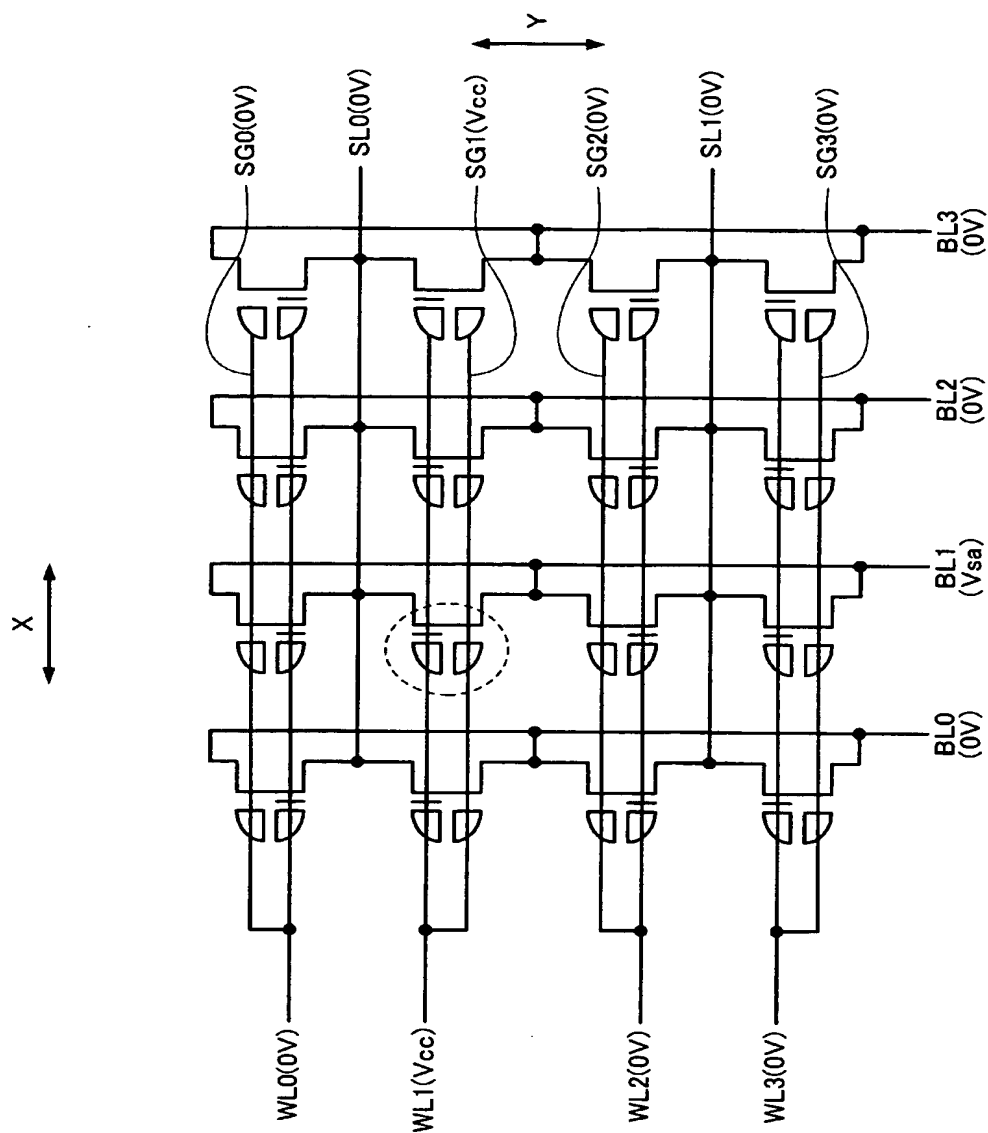
【図 23】



【図 24】



【図 25】





【書類名】 要約書

【要約】

【課題】 レイアウトサイズの小さな不揮発性半導体記憶装置を提供すること。

【解決手段】 行方向及び列方向に複数のメモリセル 4 1 0 が配設されて構成されたメモリセルアレイ 4 0 0 0 を有し、前記複数のメモリセル 4 1 0 の各々は、ソース領域と、ドレイン領域と、前記ソース領域及び前記ドレイン領域間のチャネル領域と、前記チャネル領域と対向して配置されたセレクトゲート 4 1 1 及びワードゲート 4 1 2 と、前記ワードゲート 4 1 2 と前記チャネル領域との間に形成された不揮発性メモリ素子 4 1 3 とを有し、ワード・セレクト線駆動部は、複数の単位ワード・セレクト線駆動部 3 1 0 を有し、前記複数の単位ワード・セレクト線駆動部 3 1 0 の各々は、前記各行の前記複数のメモリセルの各々の前記セレクトゲート及び前記ワードゲートを同電位に設定駆動する。

【選択図】 図 2

特願 2 0 0 3 - 0 5 4 4 5 0

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 3 6 9]

1 . 変 更 年 月 日

1 9 9 0 年 8 月 2 0 日

[変 更 理 由]

新 規 登 録

住 所

東 京 都 新 宿 区 西 新 宿 2 丁 目 4 番 1 号

氏 名

セ イ コ ー エ プ ソ ン 株 式 会 社